



# TEKNOLOGI dan rekayasa

RANCANG BANGUN SOLAR TRACKER SUMBU TUNGGAL BERBASIS MOTOR STEPPER DAN REAL TIME CLOCK	1
<b>Septian Ari Kurniawan, Mohammad Taufik</b>	
REDUKSI HARMONISA MENGGUNAKAN TAPIS DAYA AKTIF BERBASIS SYNCHRONOUS REFERENCE FRAME DQ PADA SISTEM DAYA TIGA FASA	13
<b>Setiyono, Bambang Dwinanto</b>	
PENGGUNAAN METODE LINIER DISCRIMINANT ANALYSIS UNTUK PENGENALAN WAJAH DENGAN MEMBANDINGKAN BANYAKNYA DATA LATIH	25
<b>Rifki Kosasih</b>	
PROTOTYPING OF BUKHARA CULINARY APPLICATION	35
<b>Umidjon Tukhtayev, Yulhiza Hanum</b>	
ANALISIS PRODUKTIVITAS PRODUKSI GULA AREN DAN GULA KELAPA DI PT X MENGGUNAKAN METODE MULTI FACTOR PRODUCTIVITY MEASUREMENT MODEL (MFPMM)	46
<b>Bella Novia Laritiwi, Tri Mulyanto, Mohamad Yamin</b>	
NEW APPROACH OF SIGNED BINARY NUMBERS MULTIPLICATION AND ITS IMPLEMENTATION ON FPGA	56
<b>Sarifuddin Madenda, Suryandi Hermanto</b>	
DESAIN DAN ANALISIS KEKUATAN TANGKI FIRE WATER STORAGE TANK TIPE FIX CONE ROOF KAPASITAS 1500 KL DENGAN PERHITUNGAN AKTUAL DAN SIMULASI SOFTWARE	69
<b>Aji Abdillah Kharisma, Ahmad Fadel Givari, Irvan Septyan Mulyana</b>	

## **DEWAN REDAKSI JURNAL TEKNIK REKAYASA**

### **Penanggung Jawab**

Prof. Dr. E.S. Margianti, S.E., M.M.  
Prof. Suryadi Harmanto, SSI., M.M.S.I.  
Drs. Agus Sumin, M.M.S.I.

### **Dewan Editor**

Dr. Desti Riminarsih, S.Si, M.Si, Universitas Gunadarma  
Dr. Dina Indarti, S.Si, M.Si, Universitas Gunadarma  
Dr. Ir. Asep Mohamad Noor, M.T., Universitas Gunadarma  
Ajib Setyo Arifin, S.T., M.T., Ph.D., Universitas Indonesia  
Dr. Sunny Arief Sudiro, STMIK Jakarta STI&K

### **Mitra Bebestari**

Prof. Dr. Sarifuddin Madenda, Universitas Gunadarma  
Prof. Dr.-Ing. Adang Suhendra, S.Si, Skom, Msc, Universitas Gunadarma  
Prof. Ir. Busono Soerowirdjo, Msc, Phd, Universitas Gunadarma  
Prof. Dr. Rer.Nat. A. Benny Mutiara, Universitas Gunadarma  
Prof. Dr. Ir. Bambang Suryawan, MT, Universitas Gunadarma  
Prof. Dr. B.E.F. da Silva, Universitas Indonesia  
Prihandoko, S.Kom, MIT, Phd, Universitas Gunadarma  
Dr. Tubagus Maulana Kusuma, Skom., Mengsc., Universitas Gunadarma  
Dr. Ir. Rakhma Oktavina, MT., Universitas Gunadarma  
Dr. RR Sri Poernomo Sari, M.T., Universitas Gunadarma  
Dr. Lussiana ETP, Ssi., M.T., STMIK Jakarta STI&K

### **Sekretariat Redaksi**

Universitas Gunadarma  
Jalan Margonda Raya No. 100 Depok 16424  
Phone : (021) 78881112 ext 516.

# JURNAL ILMIAH TEKNOLOGI DAN REKAYASA

NOMOR 1, VOLUME 26, April 2021

## DAFTAR ISI

RANCANG BANGUN <i>SOLAR TRACKER</i> SUMBU TUNGGAL BERBASIS MOTOR <i>STEPPER</i> DAN <i>REAL TIME CLOCK</i> <b>Septian Ari Kurniawan, Mohammad Taufik</b>	1
REDUKSI HARMONISA MENGGUNAKAN TAPIS DAYA AKTIF BERBASIS <i>SYNCHRONOUS REFERENCE FRAME DQ</i> PADA SISTEM DAYA TIGA FASA <b>Setiyono, Bambang Dwinanto</b>	13
PENGGUNAAN METODE LINEAR DISCRIMINANT ANALYSIS UNTUK PENGENALAN WAJAH DENGAN MEMBANDINGKAN BANYAKNYA DATA LATIH <b>Rifki kosasih</b>	25
PROTOTYPING OF BUKHARA CULINARY APPLICATION <b>Umidjon Tukhtayev, Yuhilza Hanum</b>	35
ANALISIS PRODUKTIVITAS PRODUKSI GULA AREN DAN GULA KELAPA DI PT X MENGGUNAKAN METODE <i>MULTI FACTOR PRODUCTIVITY MEASUREMENT MODEL</i> (MFPMM) <b>Bella Novia Laratiwi, Tri Mulyanto, Mohamad Yamin</b>	46
NEW APPROACH OF SIGNED BINARY NUMBERS MULTIPLICATION AND ITS IMPLEMENTATION ON FPGA <b>Sarifuddin Madenda, Suryadi Harmanto</b>	56
DESAIN DAN ANALISIS KEKUATAN TANGKI <i>FIRE WATER STORAGE TANK</i> TIPE <i>FIX CONE ROOF</i> KAPASITAS 1500 KL DENGAN PERHITUNGAN AKTUAL DAN SIMULASI <i>SOFTWARE</i> <b>Aji Abdillah Kharisma, <sup>2</sup>Ahmad Fadel Givari, Irvan Septyan Mulyana</b>	69

# RANCANG BANGUN SOLAR TRACKER SUMBU TUNGGAL BERBASIS MOTOR STEPPER DAN REAL TIME CLOCK

<sup>1</sup>Septian Ari Kurniawan, <sup>2</sup>Mohammad Taufik

<sup>1,2</sup>Departemen Teknik Elektro Universitas Padjadjaran

Jl. Raya Bandung-Sumedang km 21, Kabupaten Sumedang, Indonesia

<sup>1</sup>septian15003@mail.unpad.ac.id, <sup>2</sup> m.taufik@unpad.ac.id

## Abstrak

Energi matahari merupakan sumber energi terbarukan yang dapat dikonversi menjadi listrik. Salah satu cara yang paling umum digunakan adalah menggunakan fotovoltaik (PV). Namun, hambatan terbesar dari penggunaan PV adalah efisiensi konversi yang rendah. Salah satu solusi untuk mengatasi hambatan tersebut adalah menggunakan solar tracker. Solar tracker adalah sebuah perangkat yang dapat membantu panel surya untuk memaksimalkan penangkapan radiasi matahari dengan cara membuat panel surya selalu menghadap (tegak lurus) matahari. Penelitian ini menitikberatkan pada pembuatan purwarupa solar tracker sumbu tunggal dan membandingkan kinerjanya dengan panel surya statis. Pengujian peningkatan efisiensi diwakilkan dengan pengukuran tegangan open circuit ( $V_{OC}$ ) dan arus short circuit ( $I_{SC}$ ) untuk kedua panel. Purwarupa solar tracker sumbu tunggal yang dibuat menggunakan sebuah motor stepper KS42STH40-1204A yang bergerak sesuai dengan pewaktuan real time clock (RTC) DS3231. Nilai  $V_{OC}$  yang diperoleh, menunjukkan terjadi peningkatan sebesar 4,83% pada solar tracker dibandingkan dengan panel surya statis, sedangkan nilai  $I_{SC}$  pada solar tracker lebih rendah 11,11% dibandingkan dengan panel surya statis.

**Kata Kunci:** energi terbarukan, motor stepper, panel surya, solar tracker

## Abstract

Solar energy is a renewable energy source that can be converted into electricity. One of the most common ways to convert it is using photovoltaic (PV). However, the biggest obstacle to using PV is its low conversion efficiency. One solution to this obstacle is to use a solar tracker. Solar tracker is a device that can help solar panels to maximize the capture of solar radiation by making solar panels always facing (perpendicular) to the sun. This research focuses on making a prototype single axis solar tracker and comparing its performance with a static solar panel. The efficiency improvement test was represented by measuring the open circuit voltage ( $V_{OC}$ ) and short circuit current ( $I_{SC}$ ) for both panels. A prototype of single axis solar tracker that has been created uses a KS42STH40-1204A stepper motor which moves according to the DS3231 real time clock (RTC) timing. The  $V_{OC}$  value obtained shows an increase of 4.83% in the solar tracker compared to static solar panels. However, the  $I_{SC}$  value on the solar tracker is 11.11% lower than static solar panels.

**Keywords:** renewable energy, solar panel, solar tracker, stepper motor

## PENDAHULUAN

Energi adalah kebutuhan mendasar bagi manusia yang penggunaan dan harganya cenderung meningkat. Faktor-faktor tersebut menyebabkan perlunya untuk menggunakan

sumber energi terbarukan yang dapat diperbarui dalam waktu singkat dan memiliki dampak lingkungan yang minimum [1], [2]. Salah satu sumber energi terbarukan yang berkembang pesat dan berlimpah jumlahnya adalah energi matahari. Bumi memperoleh

$16 \times 10^{18}$  Joule dari matahari setiap tahunnya, yang setara dengan 20.000 kali dari kebutuhan seluruh umat manusia di bumi [3]. Indonesia merupakan sebuah negara yang terletak di khatulistiwa memperoleh energi matahari sebanyak 4,8-6,0 kWh/m<sup>2</sup> tiap tahunnya [4]. Potensi energi matahari Indonesia adalah sebesar 207.898 MW, tetapi baru 78,5 MW yang digunakan [5].

Energi yang berasal dari matahari dapat dikonversi menjadi listrik dalam beberapa cara, salah satu cara yang paling umum digunakan saat ini adalah fotovoltaik (PV). Namun, kendala utama dari PV adalah rendahnya efisiensi. Salah satu solusi untuk mengatasi kendala tersebut adalah menggunakan *solar tracker* [6]. *Solar tracker* adalah sebuah perangkat yang dapat membantu panel surya untuk memaksimalkan penangkapan radiasi matahari dengan cara membuat panel surya selalu menghadap (tegak lurus) matahari [2], [6]-[8]. Pada panel surya statis atau sumbu tetap, penangkapan radiasi matahari secara maksimum dapat dicapai dengan mengoptimalkan arah dan kemiringan dari panel itu sendiri secara manual. Arah dan kemiringan panel yang optimal ini dipengaruhi oleh beberapa faktor, antara lain lokasi dan musim di tempat tersebut [9]-[11]. Penelitian-penelitian terkait *solar tracker*, baik sumbu tunggal maupun ganda, menunjukkan adanya peningkatan keluaran panel surya yang nilainya bervariasi [2], [12]-[14].

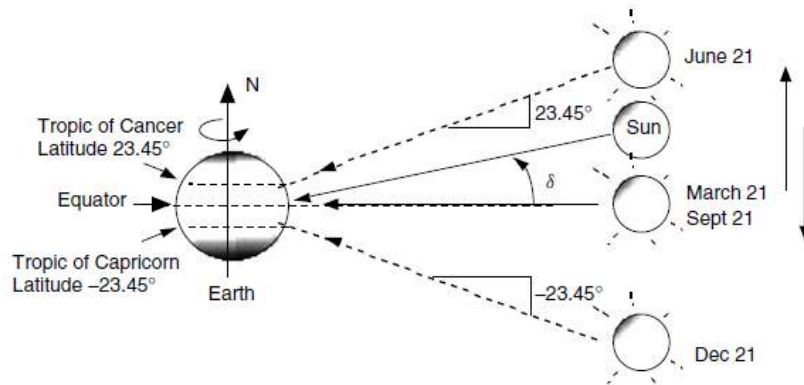
Penelitian ini bertujuan untuk membuat

purwarupa *solar tracker* sumbu tunggal. Penggunaan *solar tracker* sumbu tunggal dipilih dengan memperhatikan sisi keluaran yang dihasilkan oleh panel surya dan biaya yang diperlukan [1]. Selain itu, letak Indonesia yang berada di khatulistiwa menyebabkan pergerakan matahari yang tidak terlalu signifikan apabila dibandingkan dengan negara yang terletak di luar lingkaran tropis. Keluaran dari *solar tracker* ini kemudian dibandingkan dengan sebuah panel yang diam (statis) sebagai variabel kontrol untuk melihat unjuk kerja dari *solar tracker*.

## METODE PENELITIAN

Pergerakan harian maupun tahunan dari matahari disebabkan oleh sumbu rotasi bumi yang miring sejauh  $\pm 23,45^\circ$  dari bidang ekuatorial. Kemiringan ini yang menyebabkan terjadinya pergantian musim dalam setahun. Pergerakan matahari dalam setahun dikenal dengan gerak semu tahunan matahari. Gambar 1 merupakan sebuah ilustrasi yang menunjukkan perpindahan semu matahari terhadap bumi. [15]

Terlihat pada Gambar 1, sudut yang terbentuk antara bidang ekuator dan sebuah garis yang ditarik dari pusat matahari ke pusat bumi disebut deklinasi bumi. Nilai sudut ini bervariasi antara  $\pm 23,45^\circ$ , dan sebuah hubungan sinusoidal yang mengasumsikan jumlah hari dalam setahun adalah 365 dan *equinox* musim semi berada pada hari ke-81 ( $n=81$ ).



Gambar 1. Perpindahan semu matahari terhadap bumi [15]

Tabel 1. Sudut deklinasi matahari pada saat pengambilan data

Tanggal	07/02/19	08/02/19	09/02/19	10/02/19	11/02/19
<b>n</b>	38	39	40	41	42
<b>δ</b>	-15,82°	-15,52°	-15,21°	-14,90°	-14,59°

Penghitungan sudut deklinasi ini sesuai dengan persamaan 1. [15]

$$\delta = 23,45 \sin\left(\frac{360}{365}(n-81)\right) \quad (1)$$

Berdasarkan persamaan 1, diperoleh sudut deklinasi matahari selama pengambilan data yang ditunjukkan oleh Tabel 1.

Berdasarkan uraian di atas, proses penelitian ini dilakukan dalam tiga tahapan utama, yakni perancangan *hardware*, perancangan *software*, dan pengukuran atau pengujian.

### PERANCANGAN *HARDWARE*

*Solar tracker* yang dibuat hanya memiliki sebuah sumbu yang berfungsi untuk mengikuti ketinggian matahari yang diukur dari horizon. Sistem ini menggunakan motor *stepper* sebagai aktuator. Motor *stepper* digunakan karena biasa diaplikasikan pada

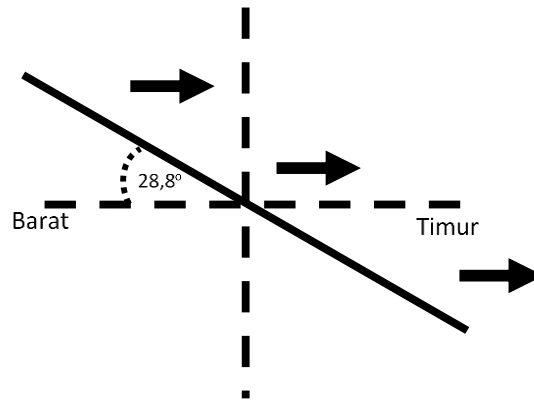
sistem-sistem yang membutuhkan pergerakan dengan tingkat presisi tertentu [16]. Sistem ini tidak menggunakan sensor, melainkan menggunakan sebuah sistem pewaktuan eksternal (*real time clock* (RTC)). RTC adalah sebuah rangkaian terpadu yang menyediakan, dan menyimpan, sistem pewaktuan (detik, menit, jam, tanggal, bulan, dan tahun) untuk digunakan pada sistem-sistem yang berhubungan dengan waktu sebenarnya (*real time*) [17], [18]. Keseluruhan sistem akan dikendalikan oleh sebuah mikrokontroler Arduino Uno yang merupakan mikrokontroler berbasis Atmega328 yang bersifat *open source* dan mudah untuk diaplikasikan dalam sistem kontrol [1].

Panel *solar tracker* akan bergerak tiap 30 menit yang bekerja dimulai pukul 08.00 WIB dan berakhir pada 16.30 WIB. Oleh karena itu, terbentuklah 16 langkah setiap harinya dimana tiap langkah sebesar 3,60°. Gambar 2 menunjukkan orientasi panel pada

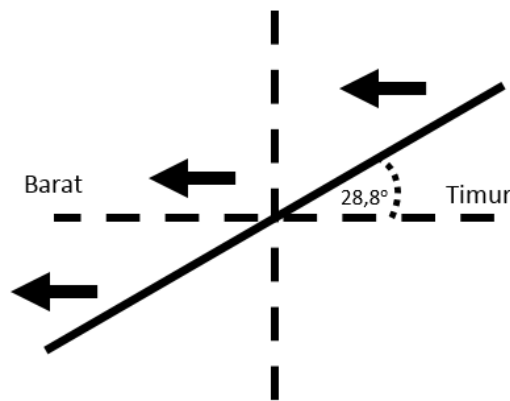
pukul 08.00 WIB dan Gambar 3 menunjukkan orientasi panel pada pukul 16.30 WIB.

Untuk panel surya statis, panel akan menghadap utara. Arah ini dipilih karena Kecamatan Jatinangor terletak pada belahan selatan Bumi. Panel ini akan dipasang dengan

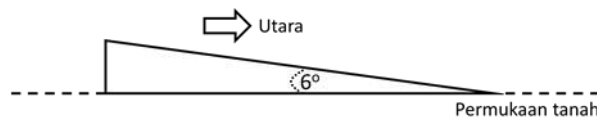
kemiringan  $6^\circ$ . Hal ini dikarenakan Kecamatan Jatinangor terletak pada  $6,9^\circ$  lintang selatan (LS). Nilai dari koordinat lintang tersebut di-kalikan dengan 0,87 karena derajat lintangnya kurang dari  $25^\circ$  [19]. Ilustrasi instalasi panel surya sumbu tetap terdapat pada Gambar 4.



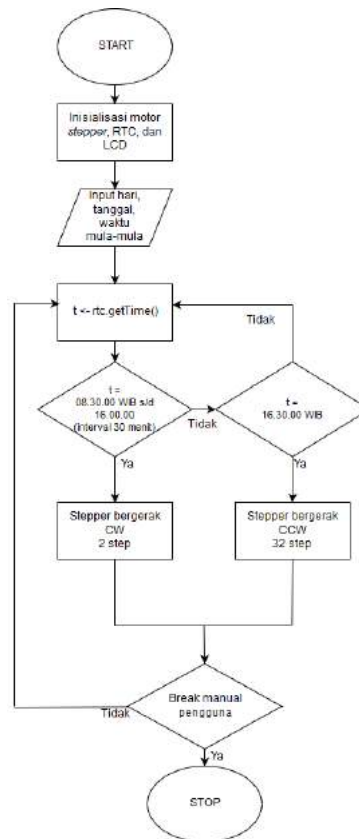
Gambar 2. Orientasi panel solar tracker pada pukul 08.00 WIB



Gambar 3. Orientasi panel solar tracker pada pukul 16.30 WIB



Gambar 4. Orientasi panel surya statis



Gambar 5. Diagram alir program

## PERANCANGAN SOFTWARE

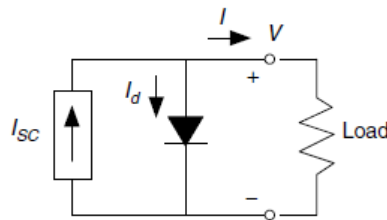
Program dimulai dengan mengatur hari, tanggal, dan waktu mula-mula untuk RTC. Selama RTC berjalan, terdapat beberapa waktu yang akan digunakan sebagai kondisi yang akan menentukan pergerakan motor *stepper*. Apabila sistem pewaktuan RTC menunjukkan pukul 08.30.00 WIB; 09.00.00 WIB; 09.30.00 WIB; ...; dan 16.00.00 WIB, maka motor *stepper* akan berputar sebanyak 2 langkah searah jarum jam. Namun, ketika pewaktuan RTC menunjukkan pukul 16.30.00 WIB motor *stepper* akan bergerak 32 langkah berlawanan arah jarum jam untuk mengembalikan orientasi panel surya ke posisi semula. Gambar 5 menunjukkan diagram

alir rancangan program. *Break* eksternal dapat diartikan sebagai proses penghentian program dari *looping* yang berasal dari luar program, seperti diputus dari catu daya. Apabila hal ini terjadi, program akan dimulai dari awal ketika diaktifkan kembali.

## PENGUJIAN

Pengujian dilakukan dengan melakukan pengukuran secara langsung terhadap sistem yang telah dibuat. Besaran yang diukur dalam penelitian ini adalah nilai tegangan dan arus keluaran dari sistem solar tracker. Nilai tegangan yang diukur adalah tegangan *open circuit* ( $V_{oc}$ ) dan arus yang diukur adalah arus *short circuit* ( $I_{sc}$ ).





Gambar 6. Model sederhana sel fotovoltaik [15]

Sebuah model ekuivalen paling sederhana untuk menggambarkan sel fotovoltaik adalah berupa sumber arus yang dikendalikan oleh sinar matahari yang diparalelkan dengan sebuah dioda seperti yang ditunjukkan oleh Gambar 6. Apabila sel fotovoltaik tidak dihubungkan dengan beban, maka akan terbentuk dua buah kondisi yang sesuai untuk pengambilan data, yakni arus ketika kedua terminal dihubungkan (arus *short circuit*,  $I_{sc}$ ) dan tegangan ketika kedua terminal dibiarkan terbuka (tegangan *open circuit*,  $V_{oc}$ ). Persamaan yang berlaku pada Gambar 2 untuk kedua kondisi ini dimulai dengan persamaan 2. [15]

$$I = I_{sc} - I_d = I_{sc} - I_0(e^{qV/kT} - 1) \quad (2)$$

Pada persamaan 2,  $I_0$  adalah arus saturasi bias balik,  $q$  adalah muatan elektron ( $1,602 \times 10^{-19}$  C),  $k$  adalah konstanta Boltzmann ( $1,381 \times 10^{-23}$  J/K), dan  $T$  adalah temperatur *junction* (K), normalnya  $25^\circ\text{C}$ . Ketika kedua terminal dibiarkan terbuka, maka  $V_{oc}$  diperoleh sesuai dengan persamaan 3. [15]

$$V_{oc} = \frac{kT}{q} \ln \left( \frac{I_{sc}}{I_0} + 1 \right) \quad (3)$$

Apabila dimasukkan  $T=25^\circ\text{C}$  ke dalam persamaan 2 dan 3, maka kedua persamaan tersebut akan menjadi persamaan 4 dan 5. [15]

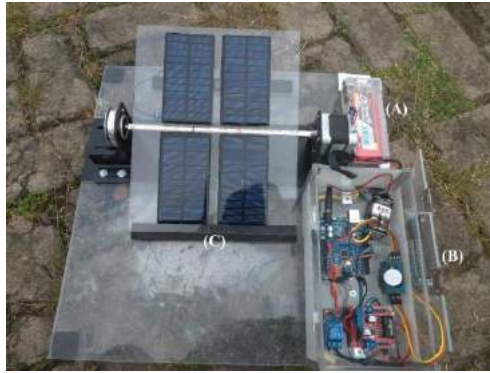
$$I = I_{sc} - I_0(e^{38,9V} - 1) \quad (4)$$

$$V_{oc} = 0,0257 \ln \left( \frac{I_{sc}}{I_0} + 1 \right) \quad (5)$$

Nilai tegangan dan arus diukur menggunakan multimeter tiap 30 menit dimulai pukul 08.15 WIB sampai dengan 16.15 WIB, baik pada panel surya dengan *solar tracker* maupun panel surya sumbu tetap. Besaran tegangan dan arus yang dihasilkan dari sistem *solar tracker* kemudian di-bandingkan dengan tegangan dan arus yang diperoleh dari panel surya statis.

## HASIL DAN PEMBAHASAN

Purwarupa sistem *solar tracker* yang telah dibuat secara umum terbagi menjadi tiga subsistem yang lebih kecil, yakni unit catu daya, kotak panel kontrol, dan panel surya. Gambar 7 memperlihatkan sistem *solar tracker* secara utuh, dimana (A) merupakan subsistem unit catu daya, (B) merupakan subsistem kotak panel kontrol, dan (C) merupakan subsistem panel surya. (3)



Gambar 7. Purwarupa *solar tracker*

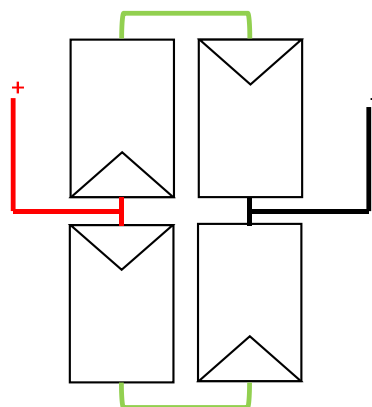
Bagian unit catu daya merupakan sebuah baterai *Lithium Polymer* 2200 mAh yang digunakan sebagai sumber energi penggerak motor *stepper*. Penggunaan baterai terpisah dalam purwarupa ini dikarenakan energi yang dihasilkan dari panel surya yang digunakan tidak mampu untuk menggerakkan motor *stepper* yang digunakan.

Kotak panel kontrol merupakan tempat di mana komponen-komponen pengontrol yang terdiri dari *Arduino Uno*, *real time clock* (RTC) DS3231, motor *driver* L298N, dan modul *relay* sebagai komponen pelengkap berada. Selain komponen pengontrol, terdapat perangkat *display* berupa LCD 16x2. Modul *relay* berfungsi untuk memutus hubungan antara baterai pada subsistem unit catu daya dan

hanya akan terhubung apabila pewartuan RTC sudah memenuhi kondisi untuk subsistem panel surya akan bergerak, sehingga baterai yang digunakan tidak cepat habis dan lebih hemat energi.

Bagian panel surya merupakan inti dari sistem *solar tracker* ini. Bagian ini terdiri atas panel-panel surya kecil, dengan spesifikasi tegangan dan arus berturut-turut 6v dan 200mA, dan sistem penggerak berupa motor *stepper* KS42STH40-1204A. Panel-panel surya kecil ini dihubungkan secara seri-paralel seperti yang ditunjukkan pada Gambar 8.

Pada sistem statis, koneksi panel surya kecil dibuat identik dengan Gambar 8. Sistem panel surya statis ditunjukkan oleh Gambar 9.



Gambar 8. Koneksi antar panel surya kecil



Gambar 9. Sistem panel surya statis

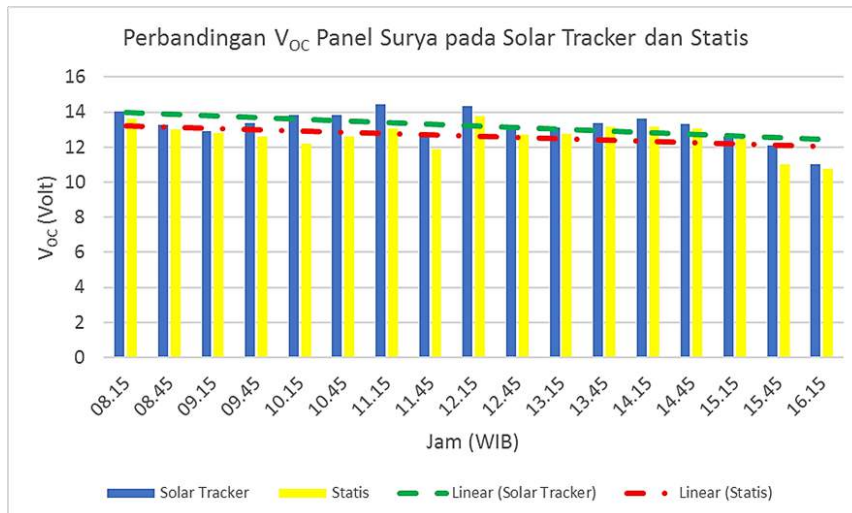
**PERBANDINGAN OUTPUT PANEL SOLAR TRACKER DENGAN PANEL SURYA STATIS**

Pengujian sistem dilakukan selama lima hari. Namun, selama melakukan pengujian ter-dapat kendala berupa cuaca yang

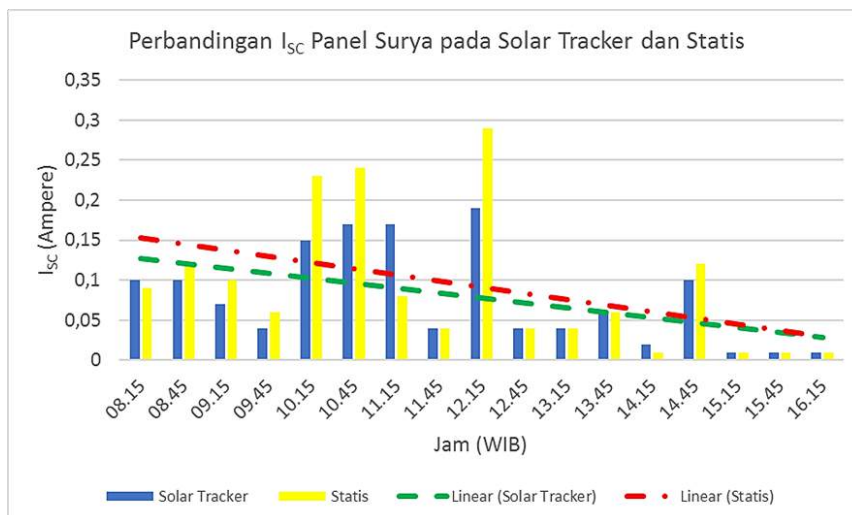
tidak menentu. Hal ini mengakibatkan ketidaklengkapan data hasil pengujian yang diperoleh. Selama proses pengujian, hanya diperoleh satu hari, yakni tanggal 10 Februari 2019, yang memiliki data pengujian lengkap. Data pengujian  $V_{OC}$  dan  $I_{SC}$  yang diperoleh pada tanggal tersebut ditunjukkan oleh Tabel 2.

Tabel 2. Data  $V_{OC}$  dan  $I_{SC}$

Jam (WIB)	Solar Tracker		Statis	
	$V_{OC}$ (V)	$I_{SC}$ (A)	$V_{OC}$ (V)	$I_{SC}$ (A)
08.15	14,05	0,10	13,60	0,09
08.45	13,24	0,10	13,02	0,12
09.15	12,93	0,07	12,83	0,10
09.45	13,37	0,04	12,58	0,06
10.15	13,80	0,15	12,20	0,23
10.45	13,80	0,17	12,60	0,24
11.15	14,42	0,17	13,04	0,08
11.45	12,81	0,04	11,91	0,04
12.15	14,36	0,19	13,79	0,29
12.45	13,14	0,04	12,72	0,04
13.15	13,11	0,04	12,74	0,04
13.45	13,36	0,06	13,14	0,06
14.15	13,62	0,02	13,15	0,01
14.45	13,31	0,10	13,05	0,12
15.15	12,60	0,01	12,45	0,01
15.45	12,08	0,01	11,02	0,01
16.15	11,01	0,01	10,79	0,01



Gambar 10. Grafik  $V_{OC}$  panel surya pada *solar tracker* dan statis



Gambar 11. Grafik  $I_{SC}$  panel surya pada *solar tracker* dan statis

Grafik perbandingan dan *trend* data tegangan  $V_{OC}$  dan data arus  $I_{SC}$  pada Tabel 1 secara berturut-turut terdapat pada Gambar 10 dan 11.

Terlihat pada Gambar 10 bahwa nilai tegangan  $V_{OC}$  pada *solar tracker* sesuai dengan harapan, yakni nilainya selalu lebih besar dibandingkan dengan panel surya statis. Hal ini juga terlihat dari kurva *trend* yang menunjukkan nilai  $V_{OC}$  pada *solar tracker* selalu lebih tinggi dibandingkan dengan panel

surya statis. Nilai  $V_{OC}$  pada *solar tracker* lebih besar 4,83% dibandingkan pada panel surya statis.

Karakteristik yang terlihat pada  $V_{OC}$  tidak muncul di  $I_{SC}$ . Terlihat pada Gambar 11 bahwa nilai  $I_{SC}$  baik pada *solar tracker* maupun panel surya statis menunjukkan fluktuasi yang signifikan dan secara umum nilai  $I_{SC}$  pada panel surya statis lebih besar dibandingkan *solar tracker*. Nilai  $I_{SC}$  pada *solar tracker* secara umum lebih rendah

11,11% dibandingkan pada panel surya statis. Nilai  $I_{SC}$  *solar tracker* yang lebih besar hanya terjadi pada pengambilan data pertama (pukul 08.15 WIB) yang pada saat itu matahari masih cenderung di posisi timur. Namun, hal ini tidak terjadi ketika matahari sudah memasuki posisi barat, di mana nilai  $I_{SC}$  pada *solar tracker* maupun panel surya statis bernilai sama.

Salah satu dari penyebab hal ini dapat terjadi adalah penggunaan beberapa panel surya kecil dalam satu sistem. Tiap panel surya kecil merupakan sebuah sistem individu yang memiliki kualitas yang berbeda-beda. Oleh karena itu, meskipun hubungan antar panel surya kecil pada *solar tracker* dan panel surya statis identik, tetap saja terdapat perbedaan pada kualitas tiap panel surya kecil yang digunakan.

## SIMPULAN DAN SARAN

Sebuah purwarupa dari sistem *solar tracker* sumbu tunggal telah berhasil dibuat. Purwarupa ini menggunakan sebuah motor *stepper* KS42STH40-1204A yang bergerak sesuai dengan pewaktuan *real time clock* (RTC) DS3231. Tegangan  $V_{OC}$  pada *solar tracker* 4,83% lebih besar dibandingkan pada panel surya statis, tetapi  $I_{SC}$  pada *solar tracker* 11,11% lebih kecil dibandingkan pada panel surya statis.

Untuk mendapatkan hasil yang lebih baik pada penelitian berikutnya, sebaiknya menggunakan modul panel surya tunggal untuk tiap sistem. Apabila berukuran besar,

motor yang digunakan harus diperbesar pula. Selain itu, sirkulasi udara pada kotak panel kontrol harus diperhatikan agar tidak ada komponen yang *overheat*. Pemasangan sensor yang peka terhadap intensitas cahaya, seperti *light-dependent resistor*, dapat membantu pergerakan panel dalam mengikuti pergerakan matahari, sehingga sistem *solar tracker* dapat semakin memaksimalkan tangkapan iradiansi matahari. Selain itu, untuk memaksimalkan penangkapan iradiansi matahari dapat pula dibuat kemiringan pada poros panel surya dengan *solar tracker* sumbu tunggal.

## DAFTAR PUSTAKA

- [1] P. Rani, O. Singh, dan S. Pandey, "An Analysis on Arduino based Single Axis Solar Tracker," in *2018 5th IEEE Uttar Pradesh Section International Conference on Electrical, Electronics and Computer Engineering*, 2018, hal. 18–22.
- [2] C. Sungur, "Multi-axes sun-tracking system with PLC control for photovoltaic panels in Turkey," *Renewable Energy*, vol. 34, no. 4, hal. 1119–1125, 2009.
- [3] J. K. Tharamuttam dan A. K. Ng, "Design and Development of an Automatic Solar Tracker," *Energy Procedia*, vol. 143, hal. 629–634, 2017.
- [4] W. Indrasari, R. Fahdiran, E. Budi, L. Jannah, L. V. Kadarwati, dan Ramli, "Active Solar Tracker Based on the

- Horizon Coordinate System,” in *Journal of Physics: Conference Series*, 2018, vol. 1120, no. 012102, hal. 1–5.
- [5] PT PLN, *Rencana Usaha Penyediaan Tenaga Listrik 2019-2028*, Jakarta, 2019.
- [6] A. El Hammoumi, S. Motahhir, A. El Ghzizal, A. Chalh, dan A. Derouich, “A simple and low-cost active dual-axis solar tracker,” *Energy Science and Engineering*, vol. 6, no. 5, hal. 607–620, 2018.
- [7] M. Khairudin dan S. Adyarno, “Solar Tracker on Solar Home System to Optimize Sunlight Absorption,” *Journal of Physics: Conference Series*, vol. 1140, no. 012005, hal. 1–5, 2018.
- [8] L. Barker, M. Neber, dan H. Lee, “Design of a low-profile two-axis solar tracker,” *Solar Energy*, vol. 97, hal. 569–576, 2013.
- [9] X. Berisha, A. Zeqiri, and D. Meha, “Determining the optimum tilt angles to maximize the incident solar radiation—case of study Pristina,” *International Journal of Renewable Energy Development*, vol. 7, no. 2, hal. 123–130, 2018.
- [10] T. O. Kaddoura, M. A. M. Ramli, and Y. A. Al-Turki, “On the estimation of the optimum tilt angle of PV panel in Saudi Arabia,” *Renewable and Sustainable Energy Review*, vol. 65, hal. 626–634, 2016.
- [11] P. D.L., Hermawan, and Karnoto, “Analisis sudut panel solar cell terhadap daya output dan efisiensi yang dihasilkan,” *Transient: Jurnal Ilmiah. Teknik Elektro*, vol. 2, no. 4, hal. 930–937, 2013.
- [12] V. Poulek, A. Khudysh, dan M. Libra, “Self powered solar tracker for Low Concentration PV (LCPV) systems,” *Solar Energy*, vol. 127, hal. 109–112, 2016.
- [13] A. O. Ndubuisi, E. Imolorhe, dan M. L. Akinyemi, “Investigating the effect of solar trackers on solar energy harnessing in the Tropics,” in *IOP Conference Series: Earth and Environmental Science*, 2018, vol. 173, no. 012044, hal. 1–7.
- [14] S. Lo *et al.*, “Design, operation, and performance evaluation of a cable-drawn dual-axis solar tracker compared to a fixed-tilted system,” *Energy Science and Engineering*, vol. 3, no. 6, hal. 549–557, 2015.
- [15] G. M. Masters, *Renewable and Efficient Electric Power Systems*. Hoboken: Wiley, 2005.
- [16] A. Anuraj dan R. Gandhi, “Solar Tracking System Using Stepper Motor,” *International Journal of Electronic and Electrical Engineering*, vol. 7, no. 6, hal. 561–566, 2014.
- [17] M. N. A. Mohd Alias dan S. N. Mohyar, “Architectural design

- proposal for real time clock for wireless microcontroller unit,” in *EPJ Web of Conferences*, 2017, vol. 162, no. 01072, hal. 1–7.
- [18] M. N. A. M. Alias, S. N. Mohyar, M. N. Isa, A. Harun, A. B. Jambek, dan S. A. Z. Murad, “Design and analysis of dedicated Real-time clock for customized microcontroller unit,” *Indonesian Journal of Electrical Engineering and Computer Science*, vol. 14, no. 2, hal. 796–801, 2019.
- [19] C. R. Landau, "Optimum Tilt of Solar Panels," March, 2017. [Daring]. Available: <https://www.solarpaneltilt.com/> [Diakses: 6 Desember 2018]

# REDUKSI HARMONISA MENGGUNAKAN TAPIS DAYA AKTIF BERBASIS *SYNCHRONOUS REFERENCE FRAME DQ* PADA SISTEM DAYA TIGA FASA

<sup>1</sup>Setiyono, <sup>2</sup>Bambang Dwinanto

<sup>1,2</sup>Fakultas Teknologi Industri Universitas Gunadarma  
Jl. Margonda Raya No. 100, Depok 16424, Jawa Barat

<sup>1</sup>setiyono@staff.gunadarma.ac.id, <sup>2</sup>bambang\_dwi@staff.gunadarma.ac.id

## Abstrak

Mutu listrik yang bagus memiliki ciri berbentuk sinusoida, kontinu, dan handal terhadap gangguan. Penggunaan perangkat elektronika daya dapat menurunkan kualitas sistem tenaga. Penyebabnya adalah arus harmonisa pada sisi beban mengintervensi arus listrik pada sisi sumber pasokan daya. Arus harmonisa ini menjadi masalah utama dalam sistem distribusi listrik sehingga diperlukan langkah antisipasi untuk meredam kehadiran harmonisa di dalam sistem tenaga. Penelitian ini bertujuan menyajikan tapis daya aktif paralel untuk menurunkan Total Harmonic Distortion (THD) pada sistem tenaga listrik melalui sebuah pemodelan simulasi. Beberapa peneliti telah melakukan riset dengan hasil yang masih bervariasi dalam menurunkan THD, dan pada umumnya nilai THD yang diperoleh berkisar pada nilai 5%. Pada penelitian ini, untuk menurunkan THD secara teknis adalah dengan menyuntikan arus kompensasi ke jala menggunakan metode synchronous d-q reference. Bentuk gelombang arus kompensasi ini dibuat sama dengan arus harmonisa beban namun berbeda fasa 180°. Hysterisis Current Control digunakan untuk membangun pulsa penyalaan rangkaian Voltage Spurce Inverter. Pemodelan sistem tapis daya aktif paralel dibangun menggunakan tools Matlab Simulink. Hasil simulasi memperlihatkan nilai indeks THD sebelum diinjeksi sebesar 30,67%, dan setelah diinjeksi turun menjadi 2,37%. Nilai THD ini sesuai dengan standar IEEE 519 sehingga dapat disimpulkan bahwa pemodelan ini layak dibangun untuk di implementasikan pada sebuah sistem tenaga.

**Kata Kunci:** Kualitas Daya, tapis aktif paralel, teori synchronous reference d-q, Total Harmonic Distortion (THD)

## Abstract

Good electrical quality has the characteristics of sinusoidal shape, continuous, reliable against interference. The use of power electronics can reduce the quality of power systems. The reason is the harmonic currents on the load side intervene in the electric current on the power supply side. Harmonic current is a major problem in the electricity distribution system so that an anti-inflammatory step is needed to reduce the presence of harmonics in the power system. This study aims to present a parallel active power filter to reduce Total Harmonic Distortion (THD) in an electric power system through a simulation model. Some researchers have conducted research with varying results in reducing THD, and in general the THD value obtained is around 5%. In this study, to reduce THD technically is to inject compensation flow into the grid using the synchronous d-q reference method. This compensated current waveform is made the same as the load harmonic current but has a different phase 180°. Hysterisis Current Control is used to construct the pulse of the pulse of the Voltage Spurce Inverter circuit. Modeling a parallel active power filter system was built using the Matlab Simulink tools. The simulation results show the THD index value before being injected is 30.67%, and after the evaluation has dropped to 2.37%. THD value is in accordance with the IEEE 519 standard so it can be concluded that this modeling is feasible to be built to be implemented in a power system.

**Keywords:** Parallel Active Filter, power quality, d-q Synchronous Reference Theory, Total Harmonic Distortion (THD).



## PENDAHULUAN

Distorsi arus harmonisa pada sistem tenaga listrik menjadi masalah yang serius, hal ini terkait dengan penggunaan beban non-linier seperti rangkaian konverter diode atau thyristor, dan berbagai macam perangkat yang menggunakan peralatan elektronika daya. Harmonisa ini akan menyebabkan beberapa kerugian antara lain panas lebih pada trafo distribusi, interferensi saluran telekomunikasi, turunnya performa peralatan listrik, dan dan lebih berbahaya lagi sering terjadi pemadaman listrik [1]. Untuk mengatasi permasalahan di atas diperkenalkan tapis daya pasif. Tapis ini telah digunakan secara luas, namun penggunaan tapis pasif ini masih kurang efektif karena masih tergantung perubahan beban sehingga tidak fleksibel. Kemudian dikembangkan sebuah tapis aktif yang mempunyai beberapa keunggulan dibanding dengan tapis pasif. Pengguna filter aktif begitu populer dalam meningkatkan kualitas daya pada beban untuk memberikan kepuasan pelanggan [2]. Tapis daya aktif ada dua macam yaitu tapis daya aktif seri dan tapis daya aktif paralel. Beberapa peneliti telah mengembangkan teori untuk meredam kehadiran harmonisa pada sistem tenaga menggunakan teori daya sesaat  $pq$  dan metode *Synchorounous Reference Frame* (SRF).

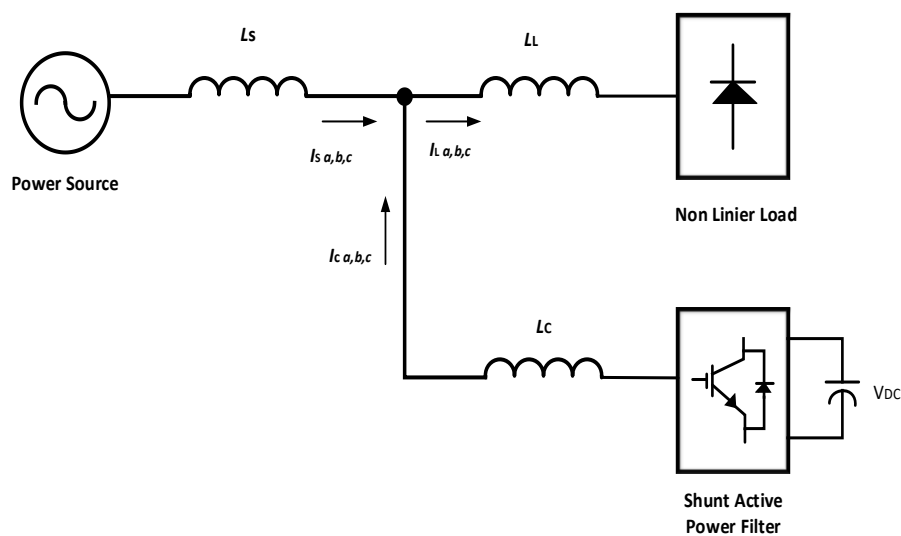
Teori daya sesaat  $pq$  pertama diajukan oleh Akagi (1984) dan awalnya berlaku pada sistem seimbang. Teori ini mengatakan bahwa

untuk menghilangkan harmonisa harus dilakukan ekstraksi komponen daya yang dibutuhkan oleh sistem dan membuang komponen daya yang tidak dibutuhkan oleh sistem melalui sebuah tapis. Nilai yang dibutuhkan sistem tersebut dijadikan sampel untuk membangun sinyal penyalan pada saklar yang digunakan untuk mengkomposasikan daya reaktif ke jala. Namun teori ini masih mengandung kelemahan yakni tidak mampu diterapkan pada tegangan terdistorsi maupun pada sistem tak seimbang. Kekurangan ini dapat diatasi menggunakan tegangan urutan positif frekuensi fundamental untuk menghasilkan arus referensi dengan teori  $p-q$ . Metode lain dikenal dengan *Synchorounous Reference Frame* (SRF). Teori ini mengandung perhitungan sederhana, di mana semua komponen sistem tenaga direpresentasikan dalam kerangka referensi yang berputar secara sinkron dan variabel yang terkait diubah menjadi kerangka referensi yang berputar secara sinkron pula.

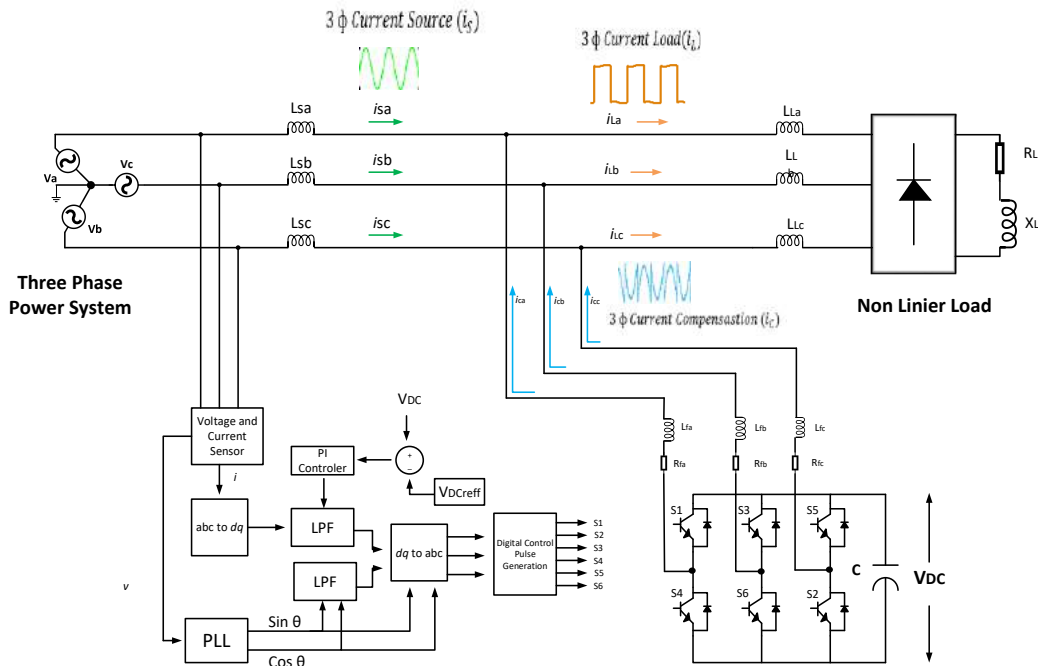
Teknik SRF ini adalah mengubah besaran koordinat  $abc$  ke dalam domain waktu. Kemudian melalui beberapa transformasi balik diperoleh sinyal sampel untuk membangkitkan pulsa penyalan gerbang saklar *Voltage Source Inverter* (VSI) dalam menyalurkan daya reaktif ke sistem yang berwujud arus komposisi. Beberapa peneliti terdahulu, Jose dan Sreehari menggunakan teori SRF untuk mengurangi pengaruh turun tegangan (*voltage sag*) dan mereduksi kehadiran harmonisa dalam sistem

tenaga. Hasilnya bahwa teori SRF sangat efisien dalam memperbaiki cacat tegangan dan arus serta membantu menjaga tegangan beban seimbang dan konstan [3]. Babu, Kar, dan Halder membangun simulasi gabungan (*hybrid*) tapis pasif dan tapis aktif menggunakan teori SRF dengan pengendali PI dan pengontrol histerisis untuk mengurangi rugi pensaklaran (*switching*) pada *voltage spurce inverter* dalam mengalirkan arus injeksi ke jala. Hasilnya teori ini menghasilkan arus kompensasi tiga fasa dan mampu menghilangkan gangguan pada tapis yang berbeda dan beban yang berbeda pula [4]. Singh

menggunakan teori SRF untuk menghilangkan harmonisa pada sistem tenaga sekaligus meningkatkan kualitas daya beban. Pembangkitan arus referensi menggunakan pengatur arus histerisis. Hasilnya THD sebelum diinjeksi sebesar 30,50 % dan setelah diinjeksi turun menjadi 4,66% [5]. Pada artikel ini akan menyajikan sebuah tapis daya aktif paralel sistem tiga fasa tiga kawat menggunakan metode SRF dengan kendali PI. Metode pembangkitan sinyal penyalaaan menggunakan *Hysterisis Current Control*. Konsep sederhana tapis daya aktif paralel seperti tampak pada Gambar 1.



Gambar 1 Sebuah Konsep Tapis Daya Aktif Paralel



Gambar 2 Desain Tapis Daya Aktif Paralel Sistem Tenaga

**METODE PENELITIAN**

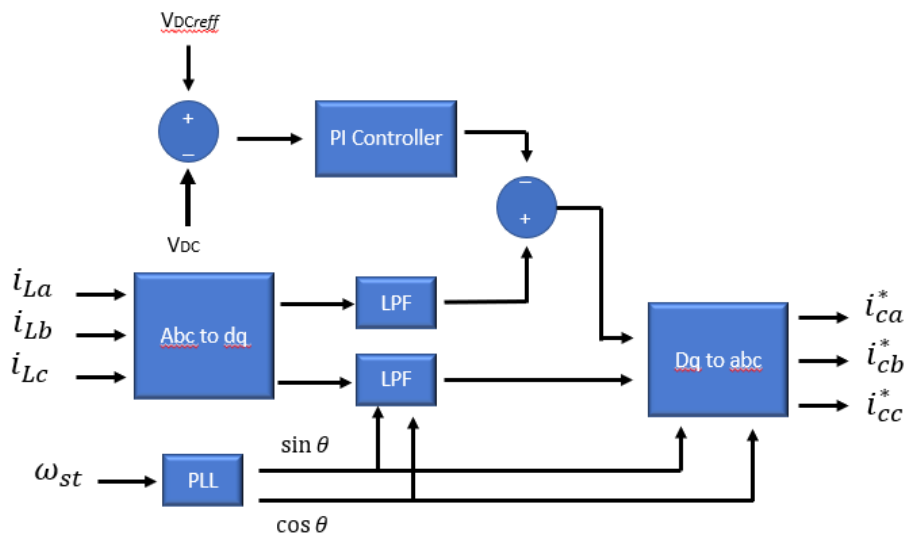
Gambar 2 merupakan desain tapis aktif paralel berbasis kontrol *Synchronous Reference Frame* (SRF) sebagai pembangkit sinyal referensi dan *Voltage Source Inverter* (VSI) sebagai unit penyuntik atau mengkompensasikan energi yang disalurkan ke jala guna membatalkan arus harmonisa pada sistem tenaga. Pembangkitan arus referensi dikembangkan dalam domain waktu. Hal ini sangat tepat diterapkan untuk kestabilan dan sistem transien. Teori ini sangat efektif dan fleksibel dalam perancangan tapis daya aktif paralel pada keadaan tegangan non sinuoida. Berdasarkan Gambar 3, sebuah metode *Synchronous Reference Frame* mengandung langkah aljabar yaitu di mana arus beban tiga fasa  $I_{La}, I_{Lb}, I_{Lc}$  ditransformasikan ke

komponen aktif sesaat ( $i_d$ ) dan komponen reaktif ( $i_q$ ) menggunakan rotasi sinkron *frame* dengan urutan positif sistem tegangan seperti pada Persamaan (1).

$$\begin{bmatrix} i_d \\ i_q \\ i_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \sin \omega_{st} & \sin(\omega_{st} - \frac{2\pi}{3}) & \sin(\omega_{st} + \frac{2\pi}{3}) \\ \cos \omega_{st} & \cos(\omega_{st} - \frac{2\pi}{3}) & \cos(\omega_{st} + \frac{2\pi}{3}) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix} \quad (1)$$

Pada Persamaan (1),  $\omega_{st}$  adalah fasa urutan positif dari sistem tegangan yang disediakan oleh unit *phase locked loop* (PLL). PLL membangkitkan fungsi  $\sin \omega_{st}$  dan  $\cos \omega_{st}$  pada frekuensi dasar, disinkronkan dengan komponen dasar tegangan. arus aktif dan reaktif dapat juga dikomposisi pada nilai dc dan ac seperti pada Persamaan (2).

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} i_{d_{dc}} \\ i_{q_{dc}} \end{bmatrix} + \begin{bmatrix} i_{d_{ac}} \\ i_{q_{ac}} \end{bmatrix} \quad (2)$$



Gambar 3 Pembangkit Arus Referensi Berbasis Teori *Synchronous Reference Frame* (SRF)

$i_{d_{dc}}$  dan  $i_{q_{dc}}$  adalah nilai komponen yang disuplai oleh sumber sedangkan  $i_{d_{ac}}$  dan  $i_{q_{ac}}$  adalah komponen harmonisa dari arus beban sehingga diperoleh dengan Persamaan (3).

$$\begin{bmatrix} i_{d_{ac}} \\ i_{q_{ac}} \end{bmatrix} = \begin{bmatrix} i_d \\ i_q \end{bmatrix} - \begin{bmatrix} i_{d_{dc}} \\ i_{q_{dc}} \end{bmatrix} \quad (3)$$

Langkah selanjutnya adalah tranformasi balik ke koordinat abc arus referensi dapat ditentukan dengan Persamaan (4).

$$\begin{bmatrix} i_{ca}^* \\ i_{cb}^* \\ i_{cc}^* \end{bmatrix} = \begin{bmatrix} \sin \omega_{st} & \cos \omega_{st} \\ \sin \left( \omega_{st} - \frac{2\pi}{3} \right) & \cos \left( \omega_{st} - \frac{2\pi}{3} \right) \\ \sin \left( \omega_{st} + \frac{2\pi}{3} \right) & \cos \left( \omega_{st} + \frac{2\pi}{3} \right) \end{bmatrix} \begin{bmatrix} i_d^* \\ i_q^* \end{bmatrix} \quad (4)$$

Dengan metode SRF ini, ekstraksi komponen dasar dan komponen harmonisa dari tegangan dan arus lebih mudah. Teori ini juga dapat diterapkan pada sistem fasa tunggal dengan

kawat netral dan sistem tiga fasa dengan atau tanpa kawat netral [2][3][4][6] [7][8][9].

### Pengatur Tegangan DC Link

Pengendali tegangan dc-link ini akan mempengaruhi nilai kompensasi daya reaktif, dengan demikian, waktu pengisian dan pembuangan kapasitor menentukan arus kompensasi dalam menggagalkan arus munculnya harmonisa jala [10]. Pengendali Proporsional Integral (PI) pada umumnya digunakan untuk mengatur tegangan DC link dari tapis daya aktif paralel. Pengendali PI digunakan untuk membandingkan tegangan dc *actual* ( $V_{DC}$ ) dengan tegangan dc referensi ( $V_{DC\text{reff}}$ ) di mana selisih *error* tegangan tersebut dijadikan sampel. Transformasi  $H(s)$  dinyatakan dengan Persamaan (5).

$$H_s = K_p + \frac{K_i}{s} \quad (5)$$

$K_p$  adalah konstanta proporsional dan  $K_i$  adalah konstanta integral. Kendali PI digunakan untuk meningkatkan penguatan *loop* dan mengeliminasi nilai *error*. Pengatur tegangan DC *link* dari sebuah tapis daya aktif paralel dapat dilihat pada Gambar 3.

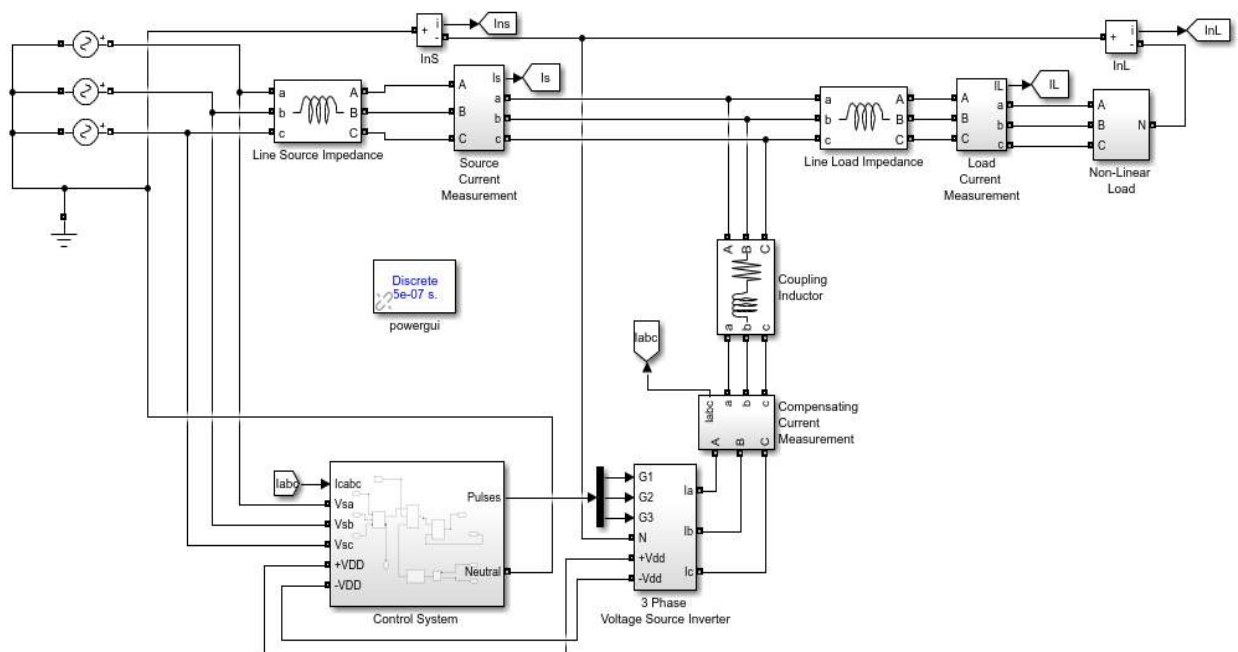
### Hysteresis Current Control

Untuk mengurangi kerugian *switching*, *harmonics*, *voltage sag & swell*, pengontrol *hysteresis* sangat efektif diterapkan pada pembangkitan pulsa penyalan saklar *voltage source inverter* dan dengan biaya yang lebih rendah. *Hysteresis Current Control* digunakan untuk membandingkan arus saluran ( $I_{sa}$ ,  $I_{sb}$ ,  $I_{sc}$ ) dengan arus kompensasi referensi ( $I_{ca}$ ,  $I_{cb}$ ,  $I_{cc}$ ), di mana selisih *error* dari perbandingan ini digunakan untuk membangkitkan pulsa penyalan saklar VSI

melalui kaidah PWM (*Pulse Width Modulation*). Metode kendali hysteresis ini memproses dua level sinyal arus masukan satu lebih tinggi dari arus kompensasi dan satu lebih rendah dari arus referensi. Arus *actual* diambil dari isyarat umpan balik. Ketika arus *actual* lebih rendah dari arus referensi maka IGBT dalam keadaan ON, dan Ketika arus *actual* lebih tinggi dari arus referensi maka IGBT dalam keadaan OFF. Hasilnya adalah arus *actual* tetap berada pada jalur pita atas dan bawah dari arus referensi [11].

### HASIL PEMBAHASAN

Rancangan dari Gambar 2 kemudian disimulasikan ke dalam *tools* Matlab Simulink Sympower seperti tampak pada Gambar 4.



Gambar 4. Pemodelan Tapis Daya Aktif Paralel

Tabel 1 Desain Parameter Sistem Tenaga

Sistem Tenaga	Voltage Source Inverter	Beban Non-Linier Penyearah diode melayani Beban	
Sistem 3 Fasa, $V_{L-N}$ 220V, 50Hz	3 buah pasang (3 Leg) saklar IGBT	R	RL
Impedans saluran $L_s = 10^{-4}$ H	2 kapasitor @ 47000uF 350 Volt	Seimbang	tak seimbang
		$R_a=R_b=R_c$ 50 Ohm	$R_{La}$ 50 $\Omega$ , 1H RLb 75 $\Omega$ ,2H RLc 100 $\Omega$ ,1.5H

Keterangan:

Sumber Tegangan 3 Fasa 220VL-N. 50 Hz merupakan sistem tenaga 3 fasa 3 kawat Impedansi saluran kawat 0.0001 H induktif murni

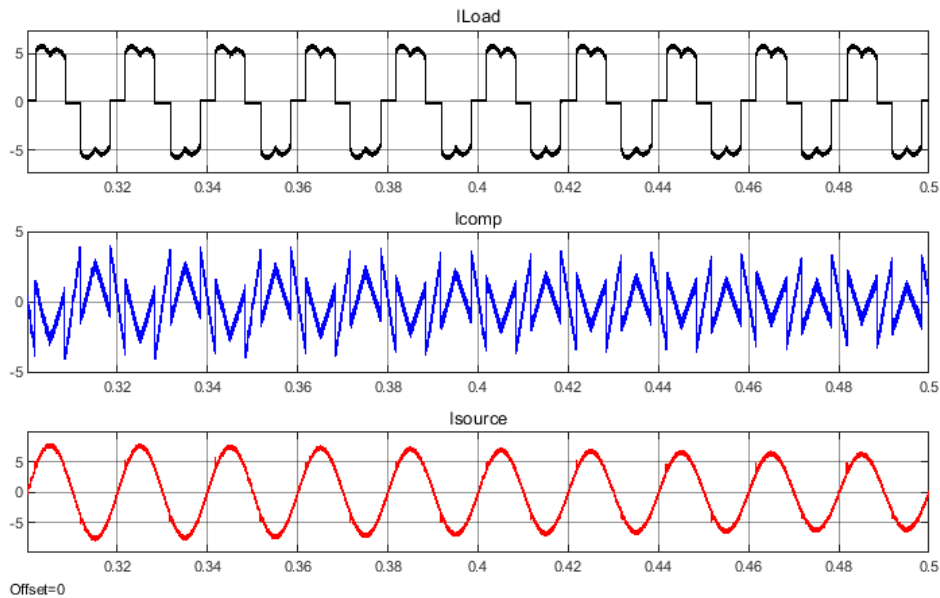
Tabel 1 merupakan parameter teknis yang digunakan dalam perancangan model Matlab Simulink. Sistem tenaga 3 fasa 220  $V_{L-N}$  dan 380  $V_{L-L}$  dengan impedansi masukan 0.0001 H. Enam buah (3 pasang) saklar *voltage source inverter* menggunakan IGBT (*Insulate Gate Bipolar Transistor*) dan dipasang paralel dengan dua buah kapasitor seri masing-masing sebesar 47.000 uF 350 V. Dua buah beban resistif (tiap fasa sama 50 ohm) dan resistif induktif dengan nilai yang berbeda digunakan sebagai beban pada saat melakukan pengujian. Tujuannya adalah untuk mengetahui watak sistem atau model jika terjadi perubahan beban. Pemodelan dilakukan dengan pergantian jenis beban yang berbeda yaitu saat model sistem dibebani pada faktor daya satu (beban resistif) dan beban dengan faktor daya tertinggal (resistif induktif) secara bergantian.

### Hasil Simulasi dengan Beban R

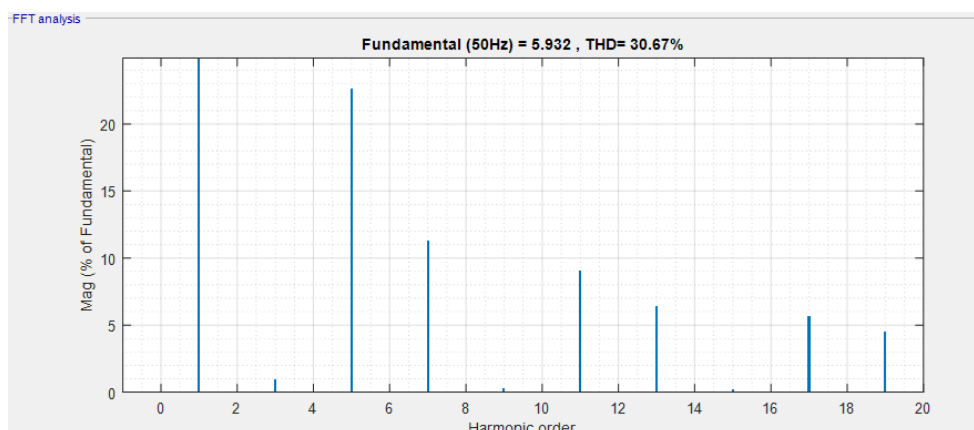
Pengujian model sistem pada beban resistif pada tiap tiap fasa sebesar 50 ohm seimbang. Performa model sistem diuji untuk

mengetahui beberapa parameter gelombang arus sumber, arus beban, arus kompensasi, nilai indeks THD dan kinerja kapasitor dalam menyuntikan energi kompensasi ke jala. Hasil pengujian nampak pada Gambar 5.

Pada Gambar 5 terlihat gelombang arus beban berupa gelombang sinusoida terdistorsi dan hampir mirip dengan gelombang pulsa. Gelombang ini cacat dikarenakan kinerja saklar VSI yang berubah-ubah nilai impedansinya terhadap waktu sehingga arus yang ditarik dari sisi sumber mengikuti pola kerja dari kerja saklar VSI. Gambar kedua (tengah) adalah gelombang arus kompensasi yang diinjeksikan ke sistem membentuk pola gelombang lancip melengkung. Hal ini sebenarnya pergerakan arus kapasitor yang mengalir melalui saklar inverter untuk memberikan reaksi menutup cacat gelombang yang dikonsumsi oleh beban. Gambar ketiga (bawah) adalah arus saluran sumber yang dijaga agar tetap berbentuk sinuoida. Amplitude maksimum sesaat tiap tiap gelombang adalah berkisar 7 A.



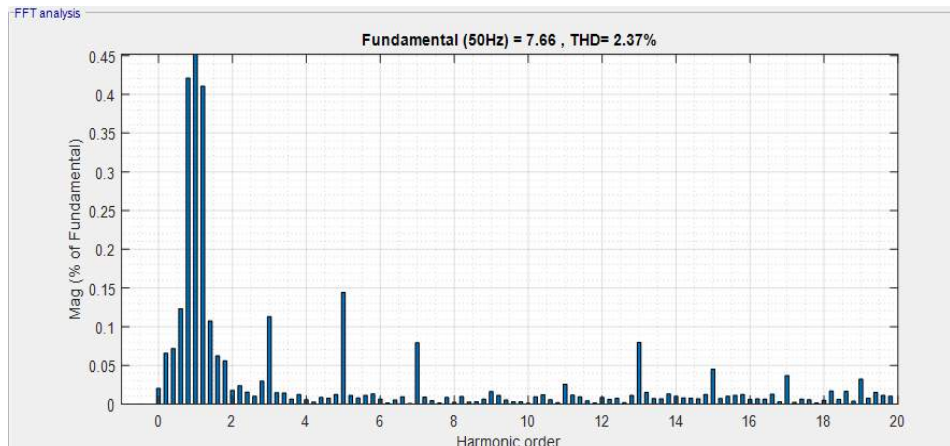
Gambar 5 Arus Beban, Arus Kompensasi, Arus Saluran Sumber pada Beban Resitif



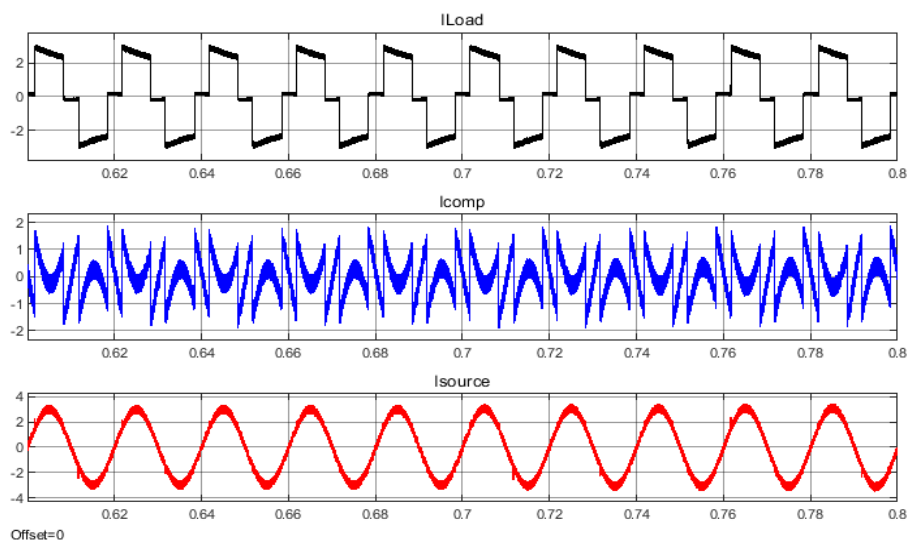
Gambar 6. Indeks THD Sebelum Diinjeksi pada Beban Resitif

Gambar 6 adalah sebuah indeks kandungan harmonisa yang terdapat pada sistem tenaga yang didesain sebelum diinjeksi oleh arus kompensasi. Indeks THD sebesar 30,67% adalah sebuah nilai THD yang cukup besar hal ini berarti memiliki factor daya yang rendah. Amplitudo harmonisa terdapat pada orde

ke 3, 5, 7, 11,13,17 dan 19. Hal ini dapat dikatakan bahwa harmonisa terjadi pada frekuensi kelipatan ganjil (150 Hz, 250Hz, 350 Hz dan seterusnya) dari frekuensi dasarnya (50Hz). Amplitudo maksimum terdapat pada harmonisa ke 5 kira-kira sebesar 25% dari amplitude dasarnya (7A).



Gambar 7 Indeks THD Setelah Diinjeksi pada Beban Resitif



Gambar 8. Arus beban, Arus Kompensasi, dan Arus Saluran Sumber pada Beban Resitif Induktif

Gambar 7 menunjukkan sebuah ukuran indeks THD dari sistem yang sudah diinjeksi dengan kandungan harmonisa turun hingga 2,37%. Amplitudo harmonisa ke 5 dapat ditekan atau diturunkan hingga pada level 0,14% dari amplitude dasarnya. Nilai indeks THD ini menurut aturan IEEE 519 keberadaannya masih bisa ditolerir.

#### Hasil Simulasi dengan Beban RL

Pada model sistem dengan beban resitif induktif pengujian dilakukan dengan memberikan beban yang tidak seimbang pada masing-masing fasa. Tabel 1 beban non-linier penyearah diode dibebani beban tak seimbang. Hasil simulasi menunjukkan data gelombang yang dapat dilihat pada Gambar 8.

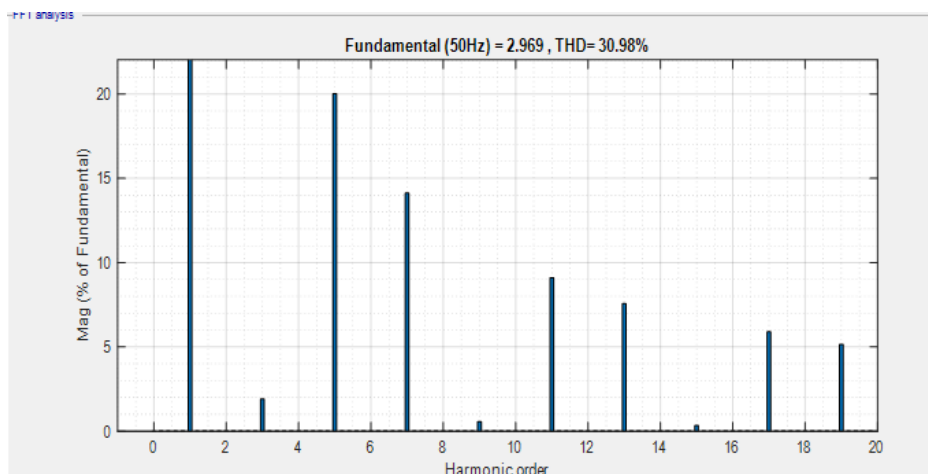
Gambar 8 paling atas menampilkan arus beban berupa gelombang yang mendekati gelombang persegi, puncak gelombang



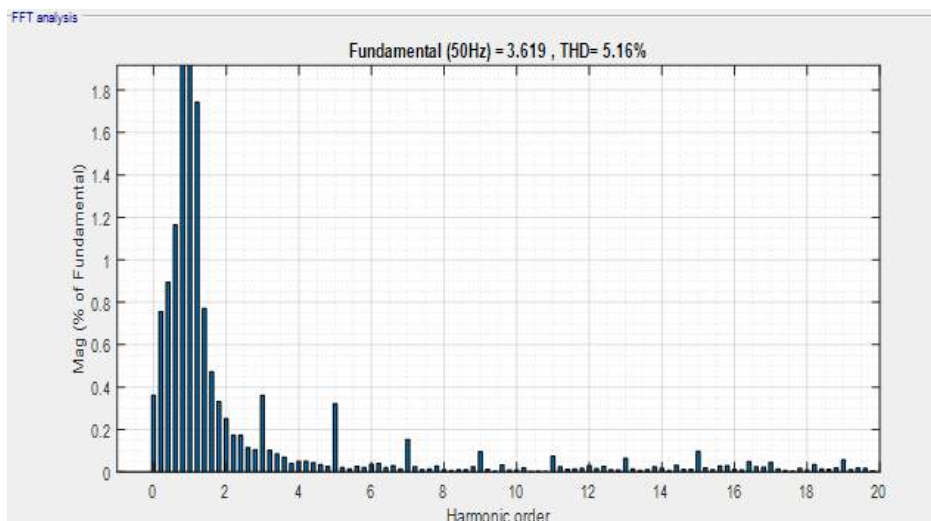
dan lembah gelombang lebih rata dibanding pada saat berbeban resistif. Hal ini komponen induktif dapat berfungsi sebagai elemen perata. Gelombang kedua (tengah) adalah aliran arus kompensasi berupa pola pola gelombang lancip melengkung yaitu sebuah pola aliran muatan atau arus kapasitor yang mengalir melalui saklar saklar VSI. Gelombang yang ke tiga (bawah) adalah sinyal arus saluran sumber yang dipaksa tetap berbentuk sinusoida. Amplitudo maksimum

sesaat masing masing gelombang berkisar 3.

Gambar 9 menunjukkan indeks THD dari sistem tenaga dengan beban resistif induktif sebelum diinjeksi sebesar 30,98%. Frekuensi gangguan harmonisa terdapat pada harmonisa orde ganjil 3,5,7,9,11,13,15,17,19. Amplitudo maksimum dari komponen harmonisa terjadi pada orde ke 5 (frekuensi 250 Hz) sebesar 20% dari amplitude maksimum arus beban (3A).



Gambar 9 Indeks THD Sebelum Diinjeksi pada Beban Resistif Induktif



Gambar 10 Indeks THD Setelah Diinjeksi pada Beban Resistif Induktif

Gambar 10 memperlihatkan indeks THD setelah sistem diinjeksi. Nilai indeks THD berkurang hingga 5,16%. Kandungan ini masih cukup tinggi. Menurut aturan IEEE 519 bahwa nilai THD yang masih diperbolehkan dalam sebuah sistem tenaga maksimal sebesar 4%. Ada beberapa komponen yang menyebabkan nilai THD tersebut sedikit diatas batas atas diantaranya perubahan beban yang tidak ideal, dan element kopling VSI (Lc) perlu dilakukan perubahan.

## SIMPULAN DAN SARAN

Kontrol strategi yang digunakan dalam meredam kehadiran harmonisa pada sistem tenaga tiga fasa telah berhasil dibangun melalui simulasi pemodelan. Format arus beban setelah diinjeksi tetap sama dengan bentuk gelombang sebelum diinjeksi, yang berubah adalah arus saluran sumber mendekati sinusoida murni. Pada beban resistif hasil simulasi memperlihatkan indeks THD (*Total Harmonic Distortion*) turun di mana nilai indeks THD sistem tenaga pada saat sebelum diinjeksi sebesar 30,67%, dan setelah diinjeksi turun menjadi 2,37%. Nilai THD ini sesuai dengan standar IEEE 519 di mana pada salah satu pasalnya mengatakan bahwa nilai THD yang masih boleh terjadi pada sistem tenaga adalah dibawah 4 % sehingga dapat disimpulkan bahwa pemodelan ini layak dibangun untuk diimplementasikan pada sebuah sistem tenaga. Pada beban resistif induktif penurunan indeks THD juga

menunjukkan angka yang cukup besar namun nilai indeks THD masih di atas angka yang ditetapkan oleh aturan IEEE 519. Oleh karena itu, masih diperlukan pengembangan sistem untuk memperoleh hasil yang lebih baik. Untuk penelitian lebih lanjut, pemodelan ini dapat diimplementasikan pada sistem fasa tunggal.

## DAFTAR PUSTAKA

- [1] V. R. Joshi, "Harmonics Mitigation by PQ theory Based Shunt Active Filter using Hysteresis Control," *International Journal of Darshan Institute on Engineering Research & Emerging Technologies*, vol. 6, no. 1, 2017.
- [2] K. Rameshkumar dan V. Indragandhi, "Overview of reference current extraction techniques in single phase shunt active power filter," *Int. J. Emerg. Technol.*, vol. 11, no. 2, hal. 689 – 698, 2020.
- [3] S. Jose dan S. Sreehari, "Synchronous Reference Frame Based Control Method for UPQC," *International Research Journal of Engineering and Technology (IRJET)*, vol. 2, no. 4, hal. 1606 – 1609, 2015.
- [4] P. N. Babu, B. Kar, dan B. Halder, "Modelling and analysis of a hybrid active power filter for power quality improvement using hysteresis current control technique," *India Int. Conf.*

- Power Electron (IICPE)*, vol. 2016-  
November, no. 03, hal. 369 – 374,  
2017.
- [5] B. S. Singh, “P-Q Theory Based Upqc  
for Reactive Power Compensation  
With Ucap,” *Int. Res. J. Eng. Technol.*,  
vol. 4, no. 6, hal. 434 – 439, 2017.
- [6] M. Monfared, S. Golestan, dan J. M.  
Guerrero, “A new synchronous  
reference frame-based method for  
single-phase shunt active power  
filters,” *J. Power Electron.*, vol. 13, no.  
4, hal. 692 – 700, 2013.
- [7] S. Rajeev, “IUPQC simulation for  
power quality improvement,” *Int. J.  
Eng. Res.*, vol. 3, no. 4, hal. 261 – 264,  
2014.
- [8] A. S. Fegade dan P. Khampariya,  
“Compensation of harmonics power by  
using shunt active filter,” *International  
Journal of Innovative Research in  
Advanced Engineering (IJIRAE)*, vol.  
1, no. 9, hal. 30–36, 2014.
- [9] L. Sowjanya dan M. Manohara, “An  
active power filter implemented with a  
4-Leg VSI using predictive control  
scheme for improving power quality,”  
*Int. J. Sci. Res.*, vol. 4, no. 6, hal. 885 –  
891, 2015.
- [10] P. Manasa, K. N. Rao, dan D. B.  
Bhaskar, “Mitigation of harmonics  
using shunt active power filter in the  
distribution system,” *Journal of  
Emerging Technologies and Innovative  
Research (JETIR)*, vol. 5, no. 7, hal.  
1513 – 1519, 2018.
- [11] B. V. Siva, B. M. Babu, L. R. Srinivas,  
dan S. S. Tulasiram, “Design of shunt  
active power filter for improvement of  
power quality with artificial  
intelligence techniques,” *Int. J. Adv.  
Res. Electr. Electron. Instrum. Eng.*,  
vol. 03, no. 08, hal. 11304 – 11314,  
2014.

# PENGGUNAAN METODE LINEAR DISCRIMINANT ANALYSIS UNTUK PENGENALAN WAJAH DENGAN MEMBANDINGKAN BANYAKNYA DATA LATIH

Rifki Kosasih

<sup>1</sup> Program Studi Komputasi Matematika, Fakultas Teknologi Industri Universitas Gunadarma  
<sup>1</sup>Jl. Margonda Raya No. 100, Depok, Indonesia 16424  
<sup>1</sup>rifki\_kosasih@staff.gunadarma.ac.id

## Abstrak

Pengenalan wajah sangat dibutuhkan dalam sistem keamanan rumah karena dapat membantu mengetahui siapa saja yang sudah memasuki area rumah. Salah satu metode yang dapat digunakan dalam pengenalan wajah adalah metode Principle Component Analysis (PCA). Akan tetapi, metode PCA kurang optimal dalam melakukan pemisahan antar kelas. Oleh karena itu pada penelitian ini digunakan metode lain yang dapat melakukan pemisahan antar kelas secara optimal seperti metode Linear Discriminant Analysis (LDA). Data yang digunakan sebanyak 400 data citra wajah dengan komposisi 40 orang dengan tiap orang memiliki 10 citra wajah dengan berbagai ekspresi. Pada penelitian ini diusulkan untuk memperhatikan banyaknya data latih yang digunakan. Banyaknya citra wajah tiap orang yang digunakan untuk data latih adalah 5, 6, 7, 8 dan 9 citra wajah per orang. Selanjutnya dilakukan ekstraksi fitur dengan menggunakan metode LDA. Selanjutnya dilakukan klasifikasi terhadap fitur-fitur yang telah diperoleh dengan menggunakan metode K Nearest Neighbor (KNN). Berdasarkan hasil penelitian diperoleh bahwa tingkat akurasi terbesar yaitu sebesar 97,5% yang terjadi saat banyaknya citra data latih tiap orang adalah 9 dan banyaknya tetangga (K) adalah 1.

**Kata Kunci:** Ekstraksi Fitur, KNN, LDA, pengenalan wajah

## Abstract

Face recognition is very much needed in a home security system because it can help find out who has that is occupied by the house. One of the methods commonly used in face recognition is the Principle Component Analysis (PCA) method. However, the PCA method is less than optimal in separating between classes. Therefore, in this study, another method is used that can perform separation between classes optimally, such as the Linear Discriminant Analysis (LDA) method. The data used are 400 facial image data with a composition of 40 people with each person having 10 facial images with various expressions. In this study it is proposed to pay attention to the amount of training data used. The number of face images of each person used for training data are 5, 6, 7, 8 and 9 face images per person. Furthermore, feature extraction is carried out using the LDA method. Furthermore, the features that have been obtained are classified using the K Nearest Neighbor (KNN) method. Based on the results of the study, it was found that the greatest accuracy rate was 97.5% which occurred when the number of training data images per person was 9 and the number of neighbors (K) was 1.

**Keywords:** Feature Extraction, face recognition, KNN, LDA

## PENDAHULUAN

Wajah seseorang memiliki ciri khusus (fitur) yang dapat membedakan orang yang satu dengan orang yang lainnya sehingga

dapat di-gunakan untuk mengenali seseorang. Pengenalan wajah merupakan salah satu topik di *computer vision* yang digunakan untuk sistem keamanan, absensi dan lain lain [1].

Pola citra pada wajah dikenali dengan cara mendapatkan ciri khusus (fitur) dari wajah, biasanya dilakukan dengan cara mengenali pola citra pada wajah. Metode yang sering dipakai dalam pengenalan pola adalah metode *manifold learning* [2],[3]. *Manifold learning* merupakan suatu metode yang digunakan untuk mereduksi dimensi dari dimensi besar menjadi dimensi yang lebih kecil tanpa menghilangkan banyak informasi [4]. Pola citra wajah seseorang akan terlihat dengan melakukan reduksi dimensi.

Pada proses pengenalan, citra wajah diproyeksikan dari ruang dimensi yang tinggi ke ruang dimensi yang lebih rendah tanpa menghilangkan banyak informasi dan diklasifikasikan dengan menggunakan metode jarak terdekat seperti jarak Euclid

Salah satu metode *manifold learning* yang digunakan untuk pengenalan wajah adalah *Principal Component Analysis* (PCA). Metode PCA merupakan metode reduksi dimensi dengan melakukan transformasi linier dari suatu ruang berdimensi tinggi ke dalam ruang berdimensi rendah [5],[6]. Akan tetapi, metode PCA kurang baik dalam melakukan pemisahan antar kelas sehingga tingkat akurasi pengenalan wajah menjadi turun [7]. Oleh karena itu, untuk mengatasi hal tersebut dalam penelitian ini di-gunakan metode *Linear Discriminant Analysis* (LDA) untuk

pengenalan wajah. Metode ini bekerja dengan menemukan subruang linier yang memaksimalkan pemisahan dua kelas berdasarkan kriteria *Fisher*. Untuk memaksimalkan pemisahan dua kelas tersebut dapat dilakukan dengan cara meminimalkan jarak matriks sebaran *within-class*  $S_w$  dan memaksimalkan jarak matriks sebaran *between class*  $S_b$  secara simultan sehingga menghasilkan kriteria *Fisher* yang maksimal. LDA akan menemukan sub-ruang linear di mana kelas-kelas saling terpisah dengan memaksimalkan kriteria *Fisher* [8],[9]. Setelah mendapatkan kelas-kelas, selanjutnya dilakukan klasifikasi dengan menggunakan metode K-Nearest Neighbor (KNN).

Beberapa penelitian telah dilakukan di bidang pengenalan wajah seperti kosasih, melakukan pengklasteran wajah manusia dengan menggunakan metode isomap. Data yang digunakan adalah data citra wajah yang terdiri dari 5 orang dengan tiap orang memiliki 4 citra dengan berbagai macam ekspresi wajah. Dari hasil penelitiannya terlihat bahwa citra-citra wajah yang berasal dari orang yang sama dengan ekspresi wajah yang berbeda-beda mengelompok ke dalam satu area akan tetapi dalam penelitiannya belum dilakukan pengklasifikasian wajah [10].

Selanjutnya kosasih melanjutkan penelitiannya melakukan klasifikasi wajah berdasarkan pengklasteran hasil isomap dengan menggunakan metode K-Nearest Neighbor (KNN). Dalam penelitiannya diperoleh tingkat akurasi sebesar 83,33% [1].

Fahrurozi menggunakan metode PCA dan *Local Binary Pattern* (LBP) untuk melakukan pengenalan wajah. Dalam penelitiannya Fahrurozi menggunakan data sample 8 orang dengan tiap orang mempunyai 5 citra wajah yang berbeda-beda. Tingkat akurasi yang diperoleh untuk mengenali wajah seseorang adalah sebesar 75% [11]. Oleh karena itu dalam penelitian ini digunakan data citra yang lebih banyak dari penelitian sebelumnya.

Selanjutnya Pratiwi menggunakan metode *Principle Component Analysis* (PCA) untuk melakukan pengenalan wajah. Dalam penelitiannya tentang pengenalan wajah diperoleh bahwa tingkat akurasi dengan metode tersebut sebesar 82,81 % [12].

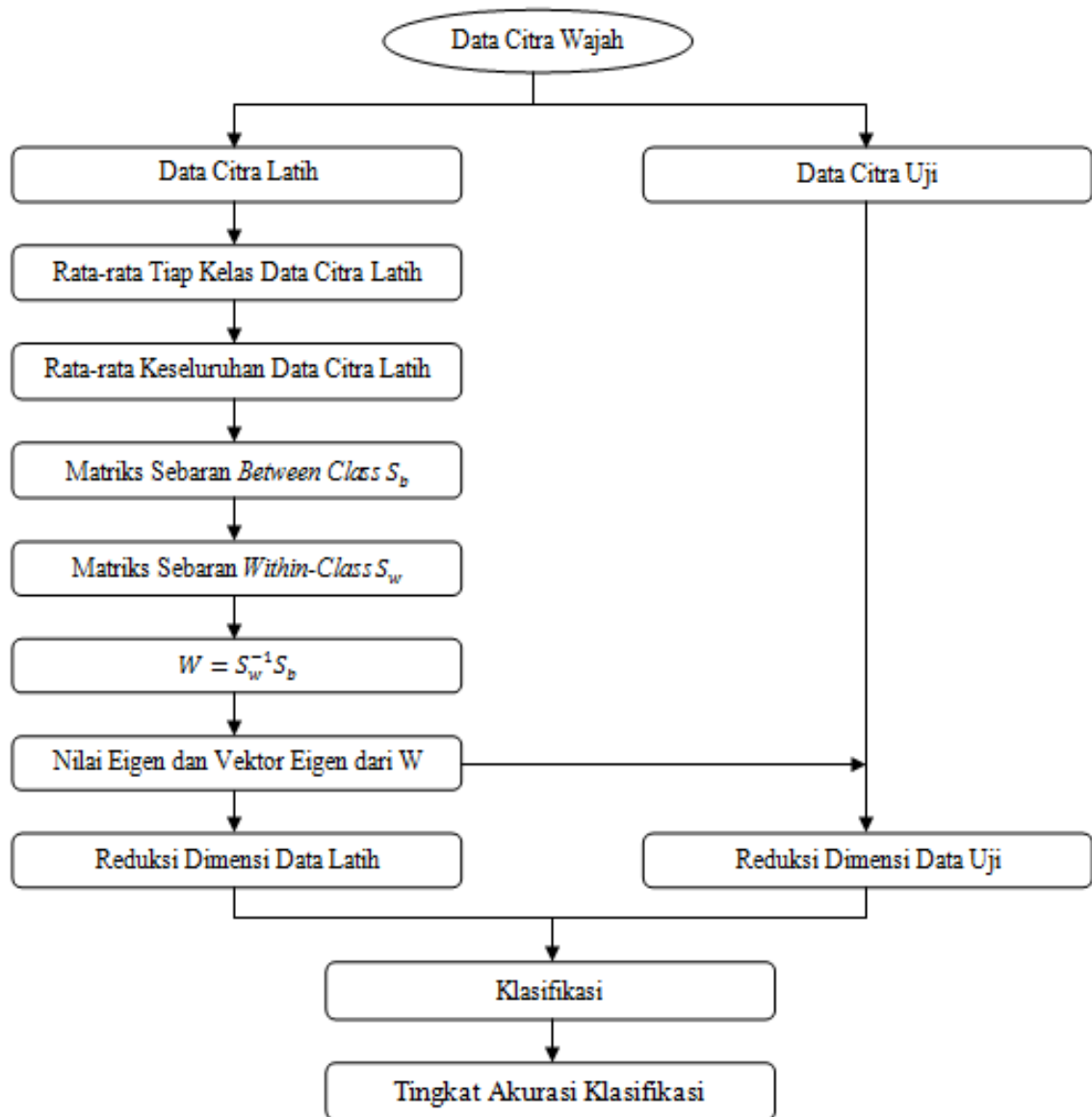
Berdasarkan beberapa penelitian sebelumnya, data yang digunakan belum memperhatikan banyaknya data latih dan data uji yang digunakan, sehingga pada penelitian ini dilakukan pengenalan wajah dengan menggunakan metode LDA dengan memperhatikan data latih dan data uji serta memperhatikan banyaknya tetangga yang

digunakan dalam proses klasifikasi dengan metode K Nearest Neighbor (KNN).

## **METODE PENELITIAN**

Pada penelitian ini diusulkan pengenalan seseorang melalui data citra wajah dengan melalui beberapa tahapan. Tahapan-tahapan penelitian tersebut dapat dilihat pada Gambar 1.

Pada Gambar 1, tahapan pertama dalam penelitian ini adalah mengumpulkan data citra wajah untuk dijadikan data latih dan data uji. Tahapan selanjutnya adalah mencari fitur wajah dengan menggunakan metode *Linear Discriminant Analysis* (LDA) seperti mencari rata-rata kelas data, sebaran data, menghitung matriks  $W$ , mencari nilai eigen dari matriks  $W$  dan melakukan reduksi dimensi pada data latih dan data uji. Hasil reduksi dimensi merupakan fitur wajah yang digunakan untuk mengenali wajah seseorang. Tahapan terakhir adalah melakukan klasifikasi wajah dengan menggunakan metode *K-Nearest Neighbor* (KNN).



Gambar 1. Gambaran Umum Penelitian

### Pengumpulan Data Citra

Data citra yang digunakan adalah data citra wajah yang terdiri dari 40 orang (kelas) dengan tiap orang mempunyai 10 citra wajah dengan berbagai macam ekspresi, sehingga

seluruh data citra wajah yang digunakan dalam penelitian sebanyak 400 citra. Data citra wajah tersebut diperoleh dari ORL Database [13]. Sampel citra wajah dapat dilihat pada Gambar 2.



Gambar 2. Sample Data Citra Wajah Seseorang Dengan 10 ekspresi yang berbeda-beda (1 dari 40 Orang)

Tabel 1.

Nama Percobaan	Data Latih	Banyak Data Latih	Data Uji	Banyak Data Uji
1	5 citra pertama per orang	$5 \times 40 = 200$	5 citra pertama per orang	$5 \times 40 = 200$
2	6 citra pertama per orang	$6 \times 40 = 240$	4 citra pertama per orang	$4 \times 40 = 160$
3	7 citra pertama per orang	$7 \times 40 = 280$	3 citra pertama per orang	$3 \times 40 = 120$
4	8 citra pertama per orang	$8 \times 40 = 320$	2 citra pertama per orang	$2 \times 40 = 80$
5	9 citra pertama per orang	$9 \times 40 = 360$	1 citra pertama per orang	$1 \times 40 = 40$

Setelah data citra wajah diperoleh, selanjutnya data tersebut dibagi menjadi 2 yaitu data latih dan data uji. Pada penelitian ini, di-usulkan untuk memperhatikan pembagian data dengan jumlah data latih dan data uji yang berbeda-beda untuk memperoleh tingkat akurasi yang terbaik dalam pengenalan wajah seperti yang ditunjukkan pada Tabel 1.

Pada tahap pertama, data latih yang digunakan sebanyak 200 citra yang terdiri dari 5 citra wajah pertama untuk tiap orang. Data uji pada tahap ini merupakan 5 wajah berikutnya untuk tiap orang dari sebanyak 40 orang yaitu sebanyak 200 citra. Pada tahap

kedua, data latih yang digunakan adalah 6 citra wajah pertama per orang (240 citra) untuk data latih dan 4 citra wajah berikutnya per orang (160 citra) digunakan sebagai data uji. Pada tahap ketiga, data latih yang digunakan adalah 7 citra wajah pertama per orang (280 citra) untuk data latih dan 3 citra wajah berikutnya per orang (120 citra) digunakan sebagai data uji. Pada tahap keempat, data latih yang digunakan adalah 8 citra wajah pertama per orang (320 citra) untuk data latih dan 2 citra wajah berikutnya per orang (80 citra) digunakan unntuk data uji. Pada tahap terakhir, data latih yang



digunakan adalah 9 citra wajah pertama per orang (360 citra) untuk data latih dan 1 citra wajah berikutnya per orang (40 citra) digunakan pada data uji.

Setelah itu, tahapan selanjutnya melakukan proses reduksi dimensi dengan menggunakan metode *Linear Discriminant Analysis* (LDA).

### Linear Discriminant Analysis (LDA)

*Linear Discriminant Analysis* (LDA) adalah salah satu metode *manifold learning* yang merupakan suatu metode untuk mengekstrak fitur dengan cara mereduksi dimensi dari dimensi tinggi ke dimensi yang lebih rendah [14]. Berikut ini adalah tahapan-tahapan dari metode LDA.

1. Tahapan pertama pada proses LDA adalah mengubah data citra latih dan citra uji menjadi vektor-vektor  $\{x_1, x_2, \dots, x_n\}$ .
2. Buat kelas-kelas berdasarkan banyaknya orang pada data citra latih dan citra uji.
3. Hitung rata-rata dalam kelas ( $m_i$ ) dan rata-rata keseluruhan kelas ( $m$ ) dari seluruh citra di *database*.
4. Menghitung matriks sebaran antar kelas ( $S_b$ ) menggunakan persamaan (1)
 
$$\sum_{i=1}^k n_i (m_i - m)(m_i - m)^T$$
 (1)
5. Menghitung matriks sebaran dalam kelas ( $S_w$ ) menggunakan persamaan (2)

$$\sum_{i=1}^k \sum_{j=1}^{n_i} (x_j - m_i)(x_j - m_i)^T$$

(2)

6. Mencari matriks  $W$  dengan menggunakan persamaan (3)

$$W = S_w^{-1} S_b$$

(3)

7. Mencari vektor eigen dari  $W$  dan mengurutkan nilai eigen ( $\lambda$ ) sesuai dengan urutan nilai yang ada pada nilai eigen dari besar ke kecil.
8. Melakukan reduksi dimensi dengan cara melakukan proyeksi dengan vektor eigen yang sudah dipilih ke ruang dimensi yang lebih rendah yang disebut dengan *fisher basis* vektor [15] menggunakan persamaan (4).

$$\bar{u}_i = V^T x_i$$

(4)

9. Dimana :  $\bar{u}_i$  adalah vektor hasil proyeksi yang berdimensi lebih rendah

$V$  adalah matriks yang berisi vektor-vektor eigen dari matriks  $W$

$x_i$  adalah vektor yang mewakili citra wajah

10. Hasil reduksi dimensi tersebut merupakan fitur yang digunakan untuk

mengenali seseorang. Setelah itu, dilakukan klasifikasi berdasarkan fitur-fitur yang sudah diperoleh dengan menggunakan metode K-Nearest Neighbor (KNN).

### **K-Nearest Neighbor (KNN)**

K-Nearest Neighbor merupakan metode klasifikasi yang digunakan dengan memperhatikan objek atau tetangga terdekat [16]. Jika objek yang ingin diprediksi kelasnya dekat dengan objek di kelas A maka objek tersebut akan masuk ke kelas A. Jarak Euclid digunakan untuk mengukur jarak antara satu objek dengan objek yang lain. Algoritma KNN dapat dilihat sebagai berikut.

Algoritma KNN

input: Fitur Latih

Fitur Uji yang belum diketahui kelasnya

1. Tentukan banyaknya tetangga terdekat yang ingin digunakan untuk proses klasifikasi (nilai K).
2. Hitung jarak euclid dari fitur uji yang ingin diprediksi ke semua fitur latih.
3. Pilih K objek fitur latih yang terdekat dengan fitur uji yang ingin diprediksi.
4. Lakukan prediksi kelas dari fitur uji berdasarkan K fitur latih terdekat yang telah dipilih.

### **HASIL DAN PEMBAHASAN**

Berdasarkan uraian sebelumnya, data yang digunakan adalah data citra wajah yang

terdiri dari 40 orang (kelas) dengan tiap orang memiliki 10 citra dengan berbagai ekspresi wajah. Pada penelitian ini diusulkan bahwa banyaknya data citra latih merupakan hal penting yang harus diperhatikan. Banyaknya citra wajah tiap orang yang digunakan sebagai data latih adalah 5, 6, 7, 8 dan 9 citra wajah per orang. Setelah itu dilakukan proses LDA untuk mendapatkan fitur latih dan fitur uji. Tahapan terakhir adalah melakukan klasifikasi berdasarkan fitur yang telah diperoleh dengan menggunakan metode KNN. Pada metode klasifikasi diusulkan untuk memperhatikan banyaknya jumlah tetangga terdekat yang digunakan dalam proses klasifikasi. Pada penelitian ini digunakan jumlah tetangga dari 1 sampai 24 tetangga terdekat. Hasil klasifikasi dapat dilihat pada Tabel 2.

Berdasarkan Tabel 2, jika banyaknya citra wajah per orang adalah 5 maka tingkat akurasi terbesar terjadi saat jumlah tetangga terdekat (K) pada metode KNN adalah 1 yaitu sebesar 96 %. Jika banyaknya citra wajah per orang adalah 6 maka tingkat akurasi terbesar terjadi saat jumlah tetangga terdekat (K) adalah 1 yaitu sebesar 92,5 %. Jika banyaknya citra wajah per orang adalah 7 maka tingkat akurasi terbesar terjadi saat jumlah tetangga terdekat (K) adalah 1 yaitu sebesar 91,67 %.

Tabel 2. Hasil Klasifikasi Pengenalan Wajah Dengan Metode KNN

Jumlah Tetangga Terdekat (K)	Banyaknya Citra Wajah Tiap Orang				
	5 (%)	6 (%)	7 (%)	8 (%)	9 (%)
1	96,0	92,5	91,67	93,75	97,5
2	86,0	87,5	91,67	90,0	95,0
3	84,5	85,0	85,0	88,75	92,5
4	80,0	82,5	84,17	88,75	92,5
5	80,0	72,5	84,17	85,0	90,0
6	79,0	75,0	82,5	85,0	82,5
7	79,5	72,5	79,17	82,5	85,0
8	75,5	67,5	80,0	77,5	82,5
9	75,0	65,0	79,17	75,0	77,5
10	72,0	67,5	75,83	73,75	75,0
11	73,0	65,0	75,0	75,0	75,0
12	73,0	70,0	75,0	73,75	72,5
13	71,0	70,0	73,33	71,25	70,0
14	69,0	67,5	71,67	68,75	70,0
15	67,0	65,0	71,67	70,0	62,5
16	64,5	60,0	69,17	67,5	62,5
17	62,0	57,5	69,17	67,5	62,5
18	59,0	50,0	68,33	67,5	62,5
19	57,5	50,0	65,83	67,5	60,0
20	54,5	50,0	65,0	67,5	57,5
21	54,0	50,0	64,17	63,75	57,5
22	53,5	50,0	63,33	62,5	57,5
23	53,5	52,5	60,83	65,0	57,5
24	52,5	52,5	59,17	62,5	60,0

Jika banyaknya citra wajah per orang adalah 8 maka tingkat akurasi terbesar terjadi saat jumlah tetangga terdekat (K) adalah 1 yaitu sebesar 93,75 %. Jika banyaknya citra wajah per orang adalah 9 maka tingkat akurasi ter-besar terjadi saat jumlah tetangga terdekat (K) adalah 1 yaitu sebesar 97,5 %.

Secara keseluruhan tingkat akurasi terbesar adalah sebesar 97,5% yaitu terjadi saat banyaknya data latih per orang adalah 9 (360 data latih) dengan banyaknya tetangga terdekat adalah 1.

**SIMPULAN DAN SARAN**

Pada sistem keamanan, sistem pengenalan wajah sangat dibutuhkan untuk mengetahui siapa yang sudah masuk ke area yang diamati. Pengenalan wajah merupakan salah satu cara yang digunakan untuk mengenali seseorang karena wajah seseorang memiliki ciri-ciri khusus yang dapat membedakan orang yang satu dengan orang yang lainnya. Pada penelitian ini digunakan metode *Linear Discriminant Analysis* (LDA) untuk mengenali wajah seseorang.

Data yang digunakan adalah data citra wajah yang terdiri dari 40 orang dengan tiap orang memiliki 10 citra wajah dengan berbagai ekspresi. Data tersebut dibagi

menjadi dua bagian yaitu data latih dan data uji. Pada penelitian ini pembagian data dilakukan beberapa kali berdasarkan banyaknya citra wajah tiap orang. Perbandingan citra wajah tiap orang yang digunakan sebagai data latih dan data uji adalah 5 : 5, 6 : 4, 7 : 3, 8 : 2 dan 9 : 1 citra wajah per orang.

Setelah itu digunakan metode LDA untuk mendapatkan fitur wajah seseorang. Fitur-fitur tersebut selanjutnya diklasifikasikan dengan menggunakan metode *K Nearest Neighbor* (KNN). Berdasarkan percobaan yang dilakukan diperoleh bahwa tingkat akurasi terbesar yaitu sebesar 97,5% yang terjadi saat perbandingan jumlah data latih dan data uji adalah 9 : 1.

Pada penelitian selanjutnya dapat digunakan metode lain sebagai pembandingan tingkat keberhasilan dalam pengenalan wajah seperti metode Local Binary Patterns Histograms (LBPH) dan metode lainnya.

## DAFTAR PUSTAKA

- [1]. R. Kosasih, "Kombinasi Metode Isomap Dan KNN Pada Image Processing Untuk Pengenalan Wajah," *CESS (Journal of Computer Engineering System and Science)*, vol. 5, no. 2, hal. 166 - 170, 2020.
- [2]. V. D. Maaten, E. Postma, dan V. D. Herik, "Dimensionality reduction a comparative review," *L. J. P. Technical Report TiCCTR*. 2009-005, 2009.
- [3]. L. Cayton, "Algorithms for manifold learning," *UCSD Technical Report CS*. 2008-0923, 2005.
- [4]. R. Kosasih, S. Madenda, C. M. Karyati dan Lussiana, "Determination the Optimal Position from T1 and T2 Weighted MR Imaging of the Abdominal Aortic Aneurysm," *Advance Science, Engineering and Medicine*, vol. 7, no. 10, hal. 915 - 919, 2015.
- [5]. R. Kosasih, "Penggunaan Metode PCA Untuk Reduksi Data Image Pembuluh Darah Vena," *Prosiding Konferensi Nasional Matematika XVII - ITS, Surabaya*, 2014, hal. 241 - 247.
- [6]. J.Y. Sari, "Pengenalan wajah pada citra digital menggunakan algoritma Eigenface dan Euclidean distance," *Skripsi, Jurusan Teknik Informatika, Universitas Halu Oleo, Kendari*, 2012.
- [7]. P. N. Belhumeur, J. P. Hespanha, dan D. J. Kriegman, "Eigenfaces vs. fisherfaces: Recognition using class specific linear projection." *IEEE Transactions on Pattern Analysis and Machine Intelligence*, 1997, vol. 19, no.7, hal. 711 - 720.
- [8]. F. Mahmud, M. T. Khatun, S. T. Zuhori, S. Afroge, M. Aktar, dan B. Pal, "Face recognition using Principle Component Analysis and Linear

- Discriminant Analysis," *International Conference on Electrical Engineering and Information Communication Technology (ICEEICT)*, 2015, hal. 1 - 4.
- [9]. I. N. T. A. Putra dan A. Harjoko, "Pengenalan Wajah Berbasis Mobile Menggunakan Fisherface dan Distance Classifier," *Jurnal Sains dan Teknologi*, vol. 7, no. 1, hal. 135 - 145, 2018.
- [10]. R. Kosasih dan A. Fahrurozi, "Clustering of Face Images by Using Isomap method," *Proceeding on International Workshop on Academic Collaboration*, No (ISBN: 978-602-9438-86-4), 2017, hal. 52 - 56.
- [11]. A. Fahrurozi dan R. Kosasih, "Face Recognition Using Local Binary Pattern Combined With PCA For Images Under Various Expression and Illumination," *Proceeding on International Workshop on Academic Collaboration*, No (ISBN: 978-602-9438-86-4), 2017, hal. 1 - 7.
- [12]. D. E. Pratiwi, dan A. Harjoko, "Implementasi Pengenalan Wajah Menggunakan PCA (Principle Component Analysis)," *Indonesian Journal of Electronics and Instrumentations Systems*, vol. 3, no. 2, hal. 175 - 184, 2013.
- [13]. AT&T Laboratories Cambridge, "The Database of Face, 2001. [Daring]. Available: <http://cam-orl.co.uk/facedatabase.html>. [Diakses: 14 April 2021].
- [14]. M. Anggo dan L. Arapu, "Face Recognition Using Fisherface Method," *J. Phys.: Conf. Ser.* 1028 012119, 2018.
- [15]. I. G. P. S. Wijaya, K. Uchimura, dan G. Koutaki, "Face Recognition Using Holistic Features and Linear Discriminant Analysis Simplification," *TELKOMNIKA*, vol.10, no.4, hal. 775 - 787, 2012.
- [16]. Murni, R. Kosasih, A. Fahrurozi, T. Handhika, I. Sari dan D. P. Lestari, "Travel Time Estimation for Destination In Bali Using kNN-Regression Method with Tensorflow," *IOP Conf. Ser.: Mater. Sci. Eng.* 854 012061, 2020.

# PROTOTYPING OF BUKHARA CULINARY APPLICATION

<sup>1</sup>Umidjon Tukhtayev, <sup>2</sup>Yuhilza Hanum

<sup>1</sup>Master Program in Digital Transformation in Tourism, Universitas Gunadarma, Bukhara State University, <sup>2</sup>Program Magister Sosial dan Budaya, Universitas Gunadarma

Universitas Gunadarma, Jl. Margonda Raya No. 100, Depok 16424, Jawa Barat, Indonesia  
Bukhara State University, 11 Mukhammad Iqbol St, Bukhara 705018, Uzbekistan

<sup>1</sup>Umidjon.tuxtayev008@gmail.com, <sup>2</sup>yuhilza@@staff.gunadarma.ac.id,

## Abstract

*The purpose of this research is to build a prototype of Bukhara Culinary Application using informal prototyping method. The difference between this application and the existing ones is the availability of ingredients and history information. This application will also provide delivery service to the customers. Customers and drivers register to this application, so that their details will be recorded. This might not seem much different from the available applications, but this research is also conducted to portray the use of informal prototyping. It is used for the ease in accommodating changes and continuing to the next step of software development by using commonly used software such as Adobe Photoshop. This research resulted in a prototype that provide the described information for 17 dishes from 5 restaurants in Bukhara.*

**Keywords:** Bukhara, culinary application, informal prototyping

## INTRODUCTION

Bukhara, a city in Uzbekistan, is rich in cultural heritage, especially in its location in the path of the ancient Silk Road. Influences of many cultures affects not only the architecture of buildings, religion, and traditional arts, but also the city's cuisine. A lot of tourists visit Uzbekistan, and Bukhara in particular. They do not just visit the unique buildings, but also willing to taste the local food. For some tourists, food comes later after a day of exploring the city. For them, it is more convenient to order by a web-based or mobile-based application, and have the food delivered. Since most of them do not know the information about the dishes they want to order, it would be more convenient if the application provide it. Information about ingredients for the dishes is important for

people who have limitation on what they eat, such as religion rules or allergic effects. Additional information such as the history of the food will make they traveling experience complete.

This research is based on the lack of complete culinary application that provide the added value mentioned above. On the other hand, developing an application takes a reasonable length of time if the whole steps of software development are conducted. Therefore, this research use rapid prototyping method to make a prototype of Bukhara culinary application.

Previous research of similar topics have been conducted by several authors. Alqatan and Alshirah develop a tentative design of Tourism M-commerce prototype. They build an application prototype that caters the needs of tourists, such as services

for hotels, restaurants, and special trips [1]. Musdar and Arfandy build prototype of an Android-based application for South Sulawesi Tourism information system. Their system provide information on tourist destinations, culinary tours, events, and photos of tourism objects [2]. Asri, Astawa, Sunaya, Yasa, Indrayana, and Setiawan use a prototyping method that is suitable for building smart village applications, which is evolutionary prototyping [3]. In their research, Huda, Awang, Raymond, and Raynaldi deliver the availability of a web-based database application that can fulfill the needs of users in the culinary field related to communication and recipe management [4].

Software prototyping seems to be the method chosen by software or application developers since users can see what they will get from it without waiting for the whole stages of software development to complete. On the other hand, it makes the task of software developers easier, because they find out about acceptable and unacceptable features beforehand. Rapid prototyping is needed to control cost and allowing the stakeholders to experiment with the prototype as soon as possible in the Software Development Life Cycle.

## **RESEARCH METHOD**

Narang defined a prototype as an initial version of a software system that is used to demonstrate the concept, try out

design options, know more about the specifications and find out possible solutions to the problems [5]. For prototype development, rapid and iterative construction is needed to control cost and allowing the stakeholders to experiment with the prototype as soon as possible in the Software Development Life Cycle. Meanwhile, Schmidt describe that rapid prototyping is creating a working model of various parts of the software product at a very early stage, after a relatively short investigation [6].

Schmidt further explained that rapid prototyping usually uses informal approach. The reason is that the most important factor is the speed of completion. The model becomes the starting point from which adjustments can be accommodated if users see the need. At the time the prototype is approved by its stakeholders, the model will be thrown away, and the system is formally developed [6].

Since this research does not conduct all stages of the System Development Life Cycle, but focuses on the prototyping stage in order for the stakeholders to see the output beforehand, then actually there is no need for complete design diagrams. This is supported by Narang's [5] and Schmidt's [6] researches that are mentioned before. A conceptual design in the form of use-case diagrams are provided. Use-Case diagrams are drawn for this application to show the application functions that are offered to the users. The users of this applications are the administrator, restaurants, customers, and drivers.

The next step is the collection of data. This prototype is planned to be developed to accommodate 2000 dishes from 39 restaurants. For the prototype, data is obtained from 5 restaurants for 17 dishes altogether. The following source provide the required data of the name of dishes, ingredients, and history, as well as price that come from restaurants:

- Bukhara Tourism data base
- Application Express24.uz
- <https://centralasia-travel.com>
- <https://kalpak-travel.com>
- <https://lonelyplanet.com>
- From restaurants menu
- Bukhara culinary archive

There are 4 objects in this system, which are Dish, Restaurant, Customer, and Drivers. The attributes for each objects are shown in Table 1.

This application will be managed by an administrator. End-users are restaurants,

customers, and drivers. Their roles as actors are shown in use-cases diagrams in Figure 1 through 4.

Pictures for this prototype are processed by Adobe Photoshop and ACDSEE. Adobe Photoshop is a multifunctional graphic editor developed and distributed by Adobe Systems. ACDSee is a commercial (formerly shareware) program for viewing and managing an image collection, produced by ACD Systems.

Since this application will also provide food delivery service, a map is also added. In the prototype the map is obtained from Yandex maps. There is a search on the map, information about traffic jams, tracking urban transport, laying routes and street panoramas of large and other cities.

The prototype will be developed by first drawing a menu hierarchy, and then each component will be displayed by a sample output.

Table 1. Attributes of Bukhara Culinary Application objects

<b>Objects</b>	Dish	Restaurant	Customer	Driver
<b>Attributes</b>	Name	Name	Name	Name
	Price	Address	Phone number	Type of car
	Ingredients	Phone number	Passport number	ID number
	History	License	Email	Knowledge of languages
	Picture	Menu		



## RESULT AND DISCUSSION

The first step before developing the prototype is drawing a use case diagram for each actor that has access to this application. First, the administrator creates, updates, and delete users depending on the need. He also edits menu's details, mainly for the ingredients and history of the dishes. The use-case diagram for the administrator is shown in Figure 1.

Restaurants edit, add, delete, and classify menu. Restaurants might also edit menu in ingredients and history attributes, the same as administrator. The use-case diagram for restaurants is shown in Figure 2.

Customers register as users, see the restaurants' details to make a choice, and order from the menu. They might consult a map if necessary, and order a driver to pick up their food. The use-case diagram for customers is shown in Figure 3.

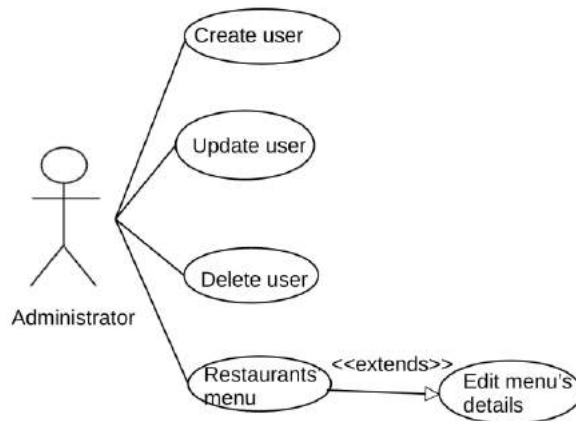


Figure 1. Use-case diagram of administrator

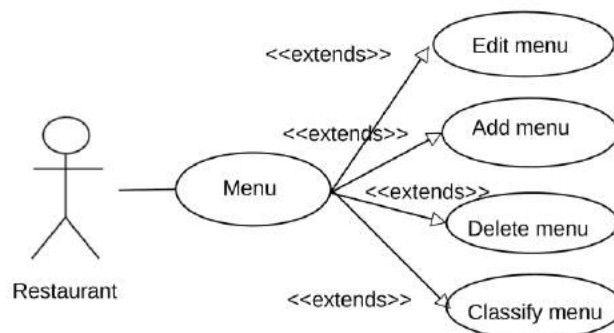


Figure 2. Use-case diagram of restaurants

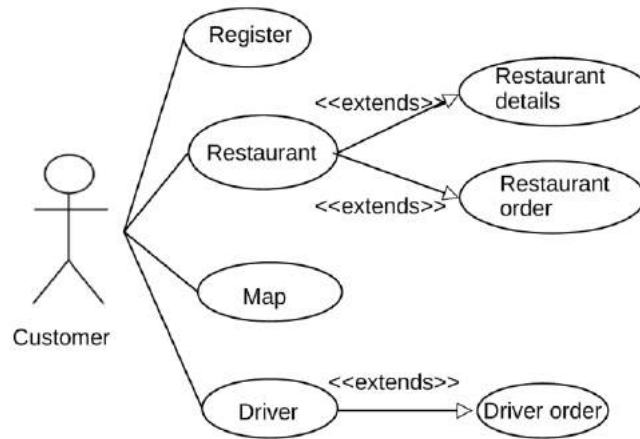


Figure 3. Use-case diagram of customers

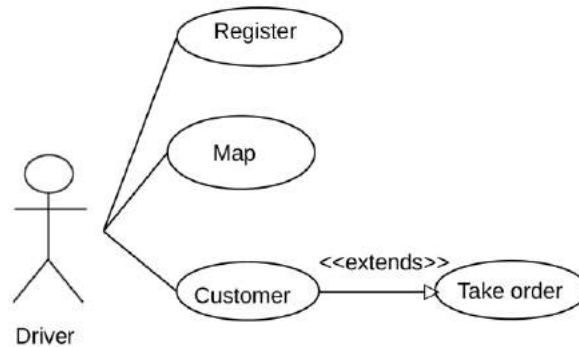


Figure 4. Use-case diagram of drivers

Drivers register as users who pick up and deliver the food. They take orders from the customers. They also consult a map to locate the customer and the restaurant, and then determine the route. The use-case diagram for customers is shown in Figure 4.

Updating data in the application is conducted either by the administrator or the restaurant. As the map is an external application, then updates to it are conducted by its own administrator.

After the use-case diagrams, the next step is developing the prototype that begins

with a menu hierarchy. Figure 5 shows this menu hierarchy. There are basically two kinds of food, i.e. healthy food and fast food. Both can be categorized further as national food and discount food. The latter might change from time to time. Both customers and drivers can register to this application. This is accommodated to recognize old customers as well as drivers who has participated in delivering the food before. The Map will help customers and drivers to determine distance between the ordering point and the restaurant, and choose the best route for the drivers.

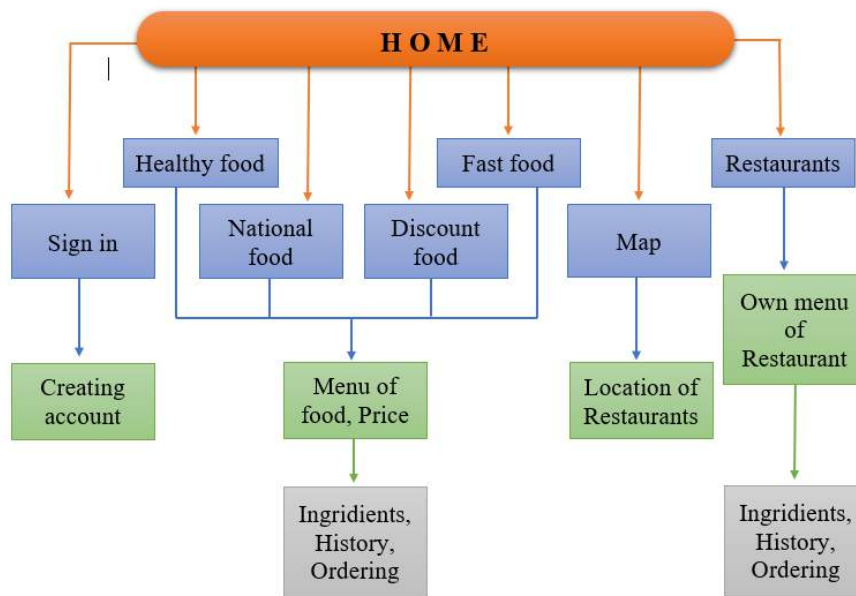


Figure 5. Menu hierarchy of the Bukhara Culinary Application

Shaxsiy ma'lumotlaringiz

\* Ismingiz

\* Familiyangiz

\* E-Mail

\* Telefon raqamingiz

Parolingiz

\* Parol

\* Parolingizni tasdiqlash

Yangiliklardan ogoh bo'lish

Obuna bo'lish  Ha  Yo'q

Figure 6. Display of customers' and drivers' registration form

The following display (Figure 6) is the registration form for customers and drivers. In this case, what is meant by drivers are Bukhara citizens who have a car to deliver

food from the restaurants to the customers.

Figure 7 shows the Home page or main screen in the design phase with ACDSec. The design follows the menu hierarchy in Figure 5.

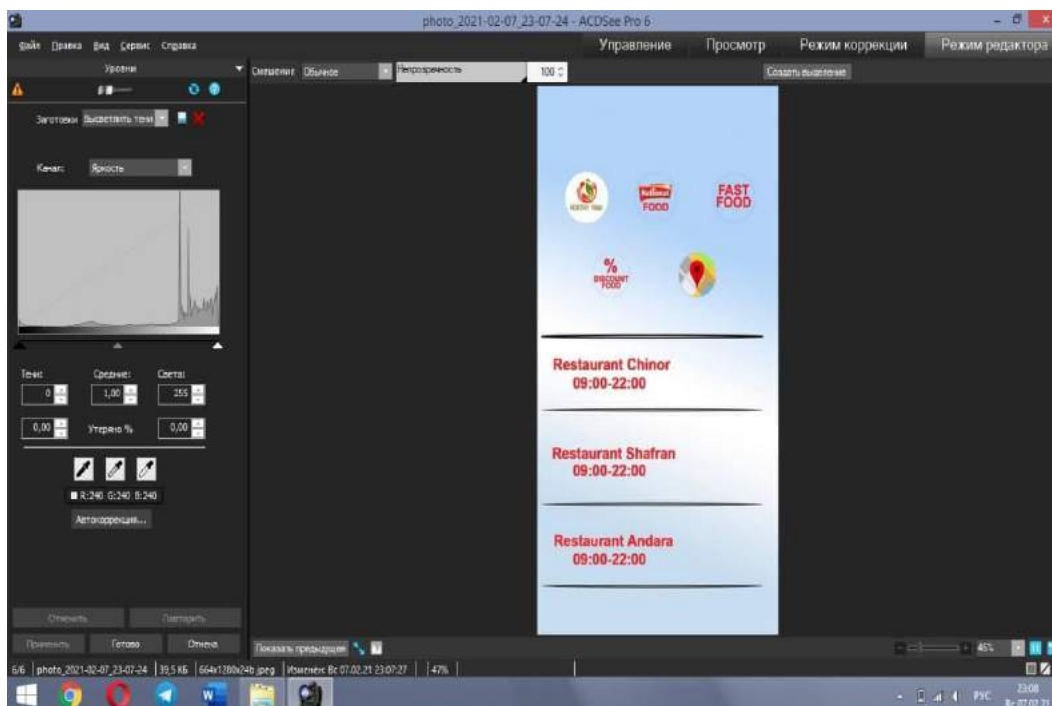


Figure 7. Home page of the application in the design phase with ACDSee

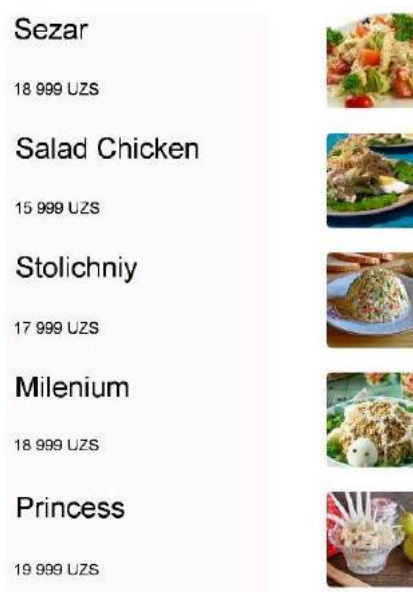


Figure 8. Display of several dishes with prices and pictures

The next layer of the hierarchy is the dishes, which are still in a list or menu display. This is shown in Figure 8. This display shows the name of the dishes, their prices, and pictures.

The main subject for this research, which is adding information of ingredients and history for each dish is shown in Figure 9. This display appears if one of the dishes in Figure 8 is clicked.



Figure 9. Information of ingredients and history for a dish



Figure 10. Display of the Map feature

Figure 10 shows the Map display that will appear for a restaurant location or the present location of the user.

The result of this research proves that a prototype can function, not only to model the actual application, but also to be used as a

users' requirements elicitation tool. User requirement elicitation phase is at the beginning of the Software Development Life Cycle. This prototype can then be used at the early stage or at the almost final stage when the application is not ready yet. That is also the reason why a complete design diagrams are not drawn in this research.

The result also shows that this kind of application is for the use of at least three groups, that is the customers, drivers, and restaurants. Other people or institution who are not directly connected to this application but might take benefit from it are the related ministries, travel agents, tourist guides, and other kind of food industries, such as the catering business.

It is also shown in this research that

rapid prototyping, especially an informal one, using ready or easy to use software tools like these, is convenient when time and resource is of the essence. Stakeholders can see the actual display of output can contribute to make adjustments if needed.

To complete this application, a benchmarking is conducted by comparing it with Google Map. Figure 11 shows the Google map result by keywords "Bukhara Uzbekistan restaurants Chinor". It shows the location of the restaurant as well as the interior and menu photograph, opening hours, address and telephone number, popular time, and reviews. As a standard Google map service, it also provides direction to the restaurant from the user's location or any other place.

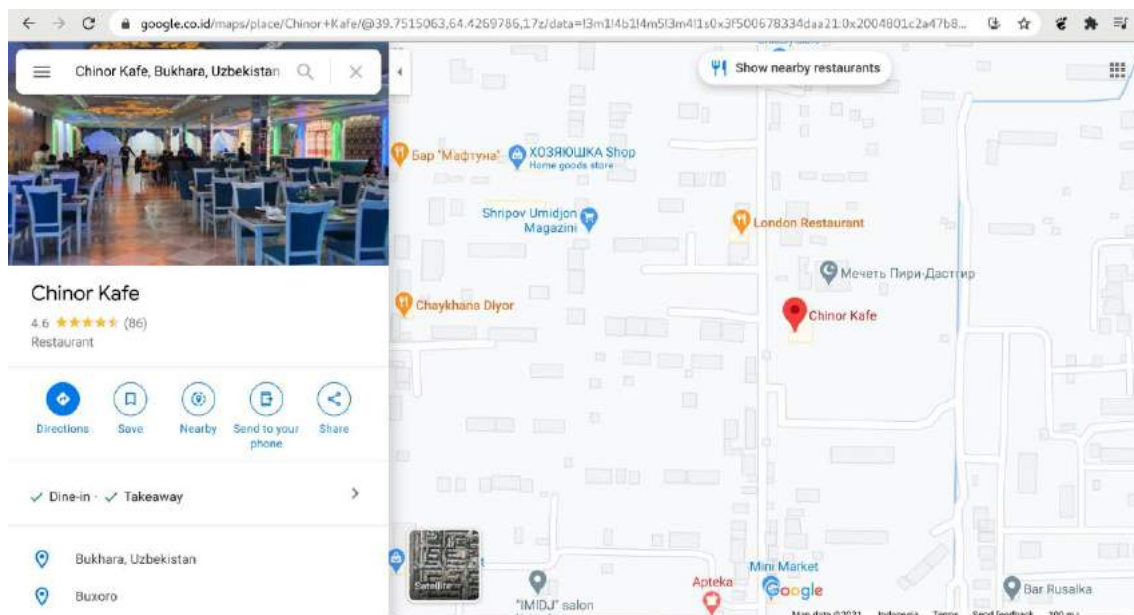


Figure 11. Google map result of the Chinor Restaurant

Table 2. Comparison of features between Google map and Bukhara Culinary application

No.	Feature	Google Map	Bukhara Culinary Application
1	Location	√	√
2	Address and phone number	√	√
3	Direction	√	√
4	Review	√	-
5	Popular time	√	-
6	Photograph of menu	√	√
7	Photograph of individual dish	√	√
8	Price of every dish	√	√
9	Ingredients of every dish	-	√
10	History of every dish	-	√

Compared to this Google application, the Bukhara Culinary application does not provide popular time and reviews. Table 2 shows comparison of features between Google map and Bukhara Culinary application. That is the reason for the suggestion that this application can be integrated to existing ones, so the information would be complete. In the case of Google map, there is an “Add website” for “missing information” that can be used for link attachment.

## CONCLUSION AND RECOMMENDATION

The objective of this research, that is to make the prototype of Bukhara Culinary Application prototype available is achieved. The use of rapid prototyping is convenient in the case of this kind application, that is, an application with easily predicted function and output. However, since a software develop-

ment might take quite an effort, a prototype is proved to be beneficial.

It is recommended that this result is used to realize the actual application. If similar application already exists, then the idea of providing information on ingredients and history might be used to complete it. Furthermore, it can also be used not only for the city of Bukhara, but for Uzbekistan as a nation.

## BIBLIOGRAPHY

- [1] S. Alqatan and M. H. Alshirah, “A Prototyping Method For Tourism Mobile Commerce Applications Development And Evaluation,” *International Journal of Scientific & Technology Research*, vol. 8, no. 10, pp. 2333-2351, October 2019.
- [2] I. A. Musdar and H. Arfandy, “Rancang Bangun Sistem Informasi Pariwisata Sulawesi Selatan Berbasis

- Android dengan Menggunakan Metode Prototyping,” *SINTECH Journal*, vol. 3, no. 1, pp. 71-77, April 2020. [Online serial]. Available: DOI: <https://doi.org/10.31598> [Accessed Jan. 5, 2021].
- [3] S. A. Asri, I. N. G. A. Astawa, I. G. A. M. Sunaya, K. A. Yasa, I. N. E. Indrayana, and W. Setiawan, “Implementation of Prototyping Method on Smart Village Application,” *Journal of Physics*, no. 1569, 2020. Available: DOI:10.1088/1742-6596/1569/3/032094 [Accessed Jan 5, 2021].
- [4] C. Huda, O. D. Awang, Raymond, and Raynaldi, “Analysis and Design of Web-based Database Application for Culinary Community,” *ComTech Computer Mathematics and Engineering Applications*, vol. 8, no. 1, pp. 55-62, March 2017. Available: DOI: 10.21512/comtech.v8i1.3779 [Accessed Feb 3, 2021].
- [5] R. Narang, *Software Engineering: Principles and Practices*. New Delhi: McGraw-Hill, 2015.
- [6] R. Schmidt, *Software Engineering: Architecture-driven Software Development*. New York: Morgan Kaufmann, 2013.



# ANALISIS PRODUKTIVITAS PRODUKSI GULA AREN DAN GULA KELAPA DI PT X MENGGUNAKAN METODE *MULTI FACTOR PRODUCTIVITY MEASUREMENT MODEL* (MFPMM)

<sup>1</sup>Bella Novia Laratiwi, <sup>2</sup>Tri Mulyanto, <sup>3</sup>Mohamad Yamin

<sup>1,2,3</sup>Teknik Mesin, Fakultas Teknologi Industri, Universitas Gunadarma

<sup>1,2,3</sup>Jalan Margonda Raya 100, Depok, West Java, Indonesia - 16424

<sup>1</sup>bellanovialaratiwi@gmail.com, <sup>2</sup>tri\_mulyanto@staff.gunadarma.ac.id,

<sup>3</sup>mohay@staff.gunadarma.ac.id

## Abstrak

*Analisis produktivitas bertujuan untuk mengukur apakah sumber daya yang digunakan dalam proses produksi sudah optimal dalam menghasilkan profitabilitas. Profitabilitas adalah kemampuan perusahaan memperoleh laba dari penjualan. Analisis produktivitas yang digunakan adalah Multi Factor Productivity Measurement Model (MFPMM) yaitu pengukuran produktivitas dengan mempertimbangkan semua faktor produksi seperti bahan baku, tenaga kerja, energi dan sebagainya. Analisis produktivitas dilakukan pada PT X yang memproduksi natural sweeteners untuk mengetahui tingkat efisiensi penggunaan sumber daya produksi sehingga dapat dilakukan langkah selanjutnya guna meningkatkan profitabilitas. Berdasarkan hasil pengolahan data pada variabel input berupa material/bahan baku, tenaga kerja dan energi didapatkan hasil bahwa produksi Gula Aren mengalami penurunan produktivitas dengan penurunan profitabilitas sebesar profitabilitas -Rp. 734.952.749. Tingkat produktivitas Gula Aren di PT X diketahui sebesar 95,56%. Tingkat produktivitas Gula Kelapa di PT X didapatkan sebesar 101,88% yang menunjukkan peningkatan dengan profitabilitas Rp. 635.660.145.*

**Kata Kunci:** MFPMM, produktivitas, profitabilitas

## Abstract

*Productivity analysis proposed to measure the resources used in the production process whether optimal getting profitability for company. Profitability is ability of company makes a profit from the sales. The productivity analysis using Multi Factor Productivity Measurement Model (MFPMM). Productivity analysis applied at PT X which produces natural sweeteners to determine the efficiency of production resource used that doing next step to increasing profitability. Base on results of data processing with input variables of material/ raw materials, labor, energy (electricity), etc, it is known the Palm Sugar productivity has decreased with the value of profitability -734,952,749 (IDR). Productivity level for Palm Sugar in PT X is known 95,56%. Productivity level of Coconut Sugar is known 101,88% which show increasing with profitability value was 635,660,145 9 (IDR).*

**Keywords:** MFPMM, productivity, profitability

## PENDAHULUAN

Produktivitas merupakan perbandingan antara total pengeluaran pada waktu tertentu dengan total masukan selama periode waktu tersebut [1]. Produktivitas produksi yang baik

menunjukkan profitabilitas tinggi terhadap perusahaan. Profitabilitas adalah kemampuan perusahaan dalam memperoleh laba dari penjualan dan ukuran tingkat efektivitas perusahaan [2]. Analisis produktivitas bertujuan untuk mengukur apakah sumber daya yang di-

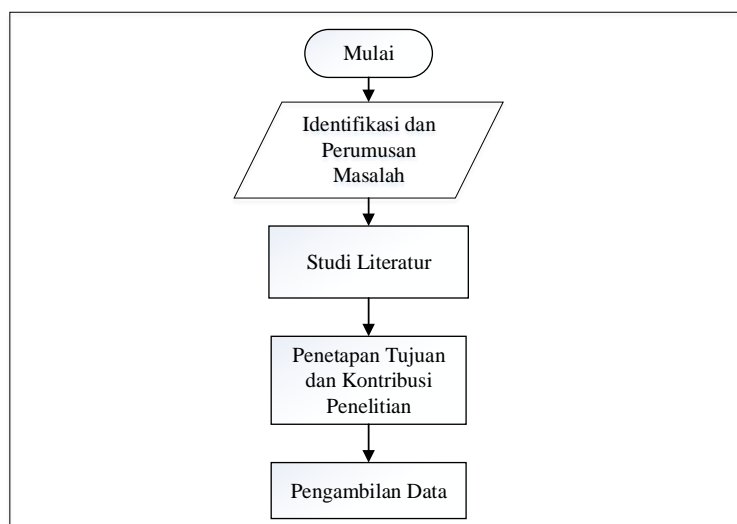
gunakan dalam proses produksi sudah optimal dalam menghasilkan profitabilitas terhadap perusahaan [3]. Analisis produktivitas yang digunakan adalah *Multi Factor Productivity Measurement Model* (MFPMM) yaitu alat ukur yang digunakan untuk mengukur perubahan produktivitas berdasarkan pada tenaga kerja, material, energi dan lainnya [4].

Penerapan analisis produktivitas dilakukan oleh PT X yaitu salah satu perusahaan yang memproduksi *natural sweeteners* yaitu gula aren bubuk dan gula kelapa organik bubuk. Analisis produktivitas diperlukan perusahaan dengan harapan mengetahui tingkat efisiensi produksi yang saat ini berjalan, sehingga dapat dilakukan langkah selanjutnya untuk lebih meningkatkan profitabilitas. *Output* dari hasil perhitungan analisis produktivitas setiap model berbeda tergantung kebutuhan perusahaan. Indeks produktivitas yang dihitung pada PT X

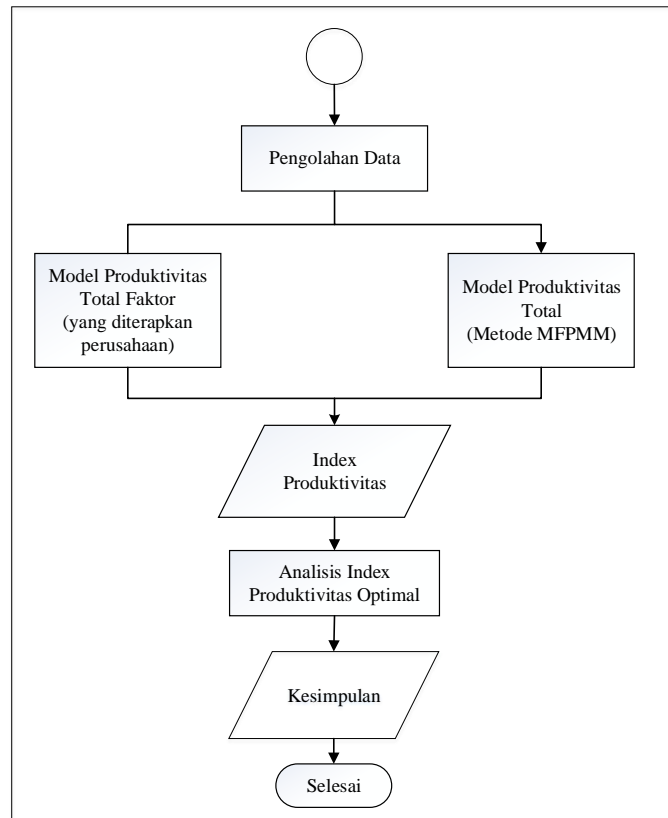
menggunakan MFPMM memberikan gambaran analisis produktivitas secara optimal karena menampilkan tingkat profitabilitas perusahaan dan faktor-faktor mana saja yang perlu dilakukan perbaikan di masa mendatang sehingga perencanaan lebih tepat sasaran.

Penelitian terkait analisis produktivitas dilakukan oleh Gustanto, Suharno dan Maksun pada perusahaan yang memproduksi gula. Metode yang digunakan adalah MFPMM dengan variabel *input* tenaga kerja, material dan energi. *Output* yang didapatkan adalah tingkat produktivitas dan profitabilitas perusahaan [5].

Tujuan penelitian adalah menganalisis tingkat produktivitas pada produksi gula aren dan gula kelapa dan pengaruhnya terhadap profitabilitas perusahaan. Pengukuran tingkat produktivitas di perusahaan saat ini menggunakan perhitungan yang sederhana, dikarenakan sistem yang berlaku juga cukup konvensional.



Gambar 1. Metodologi Penelitian



Gambar 2. Metodologi Penelitian (Lanjutan)

## METODE PENELITIAN

Metode penelitian merupakan penggambaran tahapan secara komprehensif selama penelitian yang dilakukan. Gambar 1 dan 2 merupakan diagram alir metodologi penelitian yang dilakukan di PT X untuk menganalisis tingkat produktivitas produksi Gula Aren dan Gula Kelapa.

## HASIL DAN PEMBAHASAN

Pengukuran produktivitas terdiri dari 3 model yaitu produktivitas total faktor, produktivitas total dan produktivitas parsial.

Perbedaan ketiganya adalah faktor *input* produksi. Model produktivitas total faktor mempertimbangkan modal dan tenaga kerja yang digunakan. Model produktivitas total atau *Multi Factor Productivity* mempertimbangkan semua faktor masukan seperti bahan baku, tenaga kerja dan energi [6].

1. Model Produktivitas Total Faktor (yang diimplementasi perusahaan)

PT X yang memproduksi gula aren dan gula kelapa hingga saat ini menghitung produktivitas produksi hanya mempertimbangkan sisi bahan baku dan tenaga kerja. Tabel 1 sampai Tabel 4 adalah perhitungan produktivitas di PT X.

Tabel 1. *Value Variabel Input dan Output Model PTF (Periode 1)*

No	Produk	Variabel	Kriteria	Periode 1 (Q2-Q4 2019)		
				Qty	Price (Rp)	Value (Rp)
1	Gula Aren	Output	Total produksi (kg)	485638.02	Rp 40,591	Rp 19,712,532,870
			Input	Material/Bahan Baku (kg)	607113.27	Rp 19,000
		Tenaga Kerja (org)		1206	Rp 4,255,000	Rp 5,131,530,000
		Energi (KWh)	2868.31	Rp 1,900	Rp 5,449,789	
2	Gula Kelapa	Output	Total produksi (kg)	605667.41	Rp 50,091	Rp 30,338,486,234
			Input	Material/Bahan Baku (kg)	634916.99	Rp 27,000
		Tenaga Kerja (org)		1120	Rp 4,255,000	Rp 4,765,600,000
		Energi (KWh)	2346.81	Rp 1,900	Rp 4,458,939	

Tabel 2. *Value Variabel Input dan Output Model PTF (Periode 2)*

No	Produk	Variabel	Kriteria	Periode 2 (Q1-Q3 2020)		
				Qty	Price (Rp)	Value (Rp)
1	Gula Aren	Output	Total produksi (kg)	437428.22	Rp 42,727	Rp 18,689,995,556
			Input	Material/Bahan Baku (kg)	594554.11	Rp 19,000
		Tenaga Kerja (org)		1207	Rp 4,342,500	Rp 5,241,397,500
		Energi (KWh)	2999.85	Rp 1,445	Rp 4,334,783	
2	Gula Kelapa	Output	Total produksi (kg)	904595.13	Rp 52,727	Rp 47,696,587,209
			Input	Material/Bahan Baku (kg)	951582.16	Rp 27,000
		Tenaga Kerja (org)		1869	Rp 4,342,500	Rp 8,116,132,500
		Energi (KWh)	3930.16	Rp 1,445	Rp 5,679,081	

Tabel 3. *Value Mesin dan Peralatan Produksi Gula Aren dan Gula Kelapa Model PTF*

No.	Mesin dan Peralatan	Qty	Price	Value Mesin & Peralatan (Rp)
1	Mesin Shifter	3	\$ 3,000	Rp 126,900,000
2	Mesin Metal Detector	1	\$ 16,603	Rp 234,102,300
3	Hand Pallet	4	Rp 3,450,000	Rp 13,800,000
	Total			Rp 374,802,300

\$1 = Rp. 14.100

Tabel 4. Indeks Produktivitas Produksi Gula Aren dan Gula Kelapa Model PTF

No.	Produk	IP Periode		%perubahan IP
		1	2	
1	Gula Aren	1.1599	1.1072	-4.5442
2	Gula Kelapa	1.3674	1.3995	2.3436

Tabel 5. Nilai (*Value*) pada *Input* dan *Output* Produksi Gula Aren dan Gula Kelapa

No.	Produk	Kriteria	Quantity		Price (Rp)		Value	
			Periode 1	Periode 2	Periode 1	Periode 2	Periode 1	Periode 2
1	Gula Aren	Total produksi (kg)	485638.02	437428.22	Rp 40,591	Rp 42,727	Rp 19,712,532,870	Rp 18,689,995,556
		Material/Bahan Baku (kg)	607113.27	594554.11	Rp 19,000	Rp 19,000	Rp 11,535,152,111	Rp 11,296,528,090
		Tenaga Kerja (org)	1206.00	1207.00	Rp 4,255,000	Rp 4,342,500	Rp 5,131,530,000	Rp 5,241,397,500
		Energi (KWh)	2868.31	2999.85	Rp 1,900	Rp 1,445	Rp 5,449,789	Rp 4,334,783
2	Gula Kelapa	Total produksi (kg)	605667.41	904595.13	Rp 50,091	Rp 52,727	Rp 30,338,486,234	Rp 47,696,587,209
		Material/Bahan Baku (kg)	634916.99	951582.16	Rp 27,000	Rp 27,000	Rp 17,142,758,730	Rp 25,692,718,401
		Tenaga Kerja (org)	1120.00	1869.00	Rp 4,255,000	Rp 4,342,500	Rp 4,765,600,000	Rp 8,116,132,500
		Energi (KWh)	2346.81	3930.16	Rp 1,900	Rp 1,445	Rp 4,458,939	Rp 5,679,081

Indeks produktivitas yang mengalami penurunan adalah pada produk Gula Aren. Karena persentase perubahan indeks produktivitas dari periode 1 ke periode 2 bernilai negatif yang berarti produktivitas pada tahun 2020 lebih rendah daripada tahun 2019.

## 2. Multi Factor Productivity Measurement Model (MFPMM)

*Multi Factor Productivity Measurement Model* (MFPMM) adalah salah satu metode pengukuran produktivitas total yang mempertimbangkan semua faktor (*input*) yang dikeluarkan perusahaan dalam menghasilkan keluaran (*output*) berupa produk.

Faktor yang dipertimbangkan dalam menghitung produktivitas di PT X dalam memproduksi produk gula aren dan gula kelapa adalah material atau bahan baku, tenaga kerja dan energi (listrik).

### a. Perhitungan nilai (*value*)

Perhitungan nilai (*value*) pada metode MFPMM menunjukkan nilai dari masing-masing faktor baik itu *input* maupun *output*. Nilai (*value*) pada *output* merupakan nilai perkalian antara kuantitas tiap *output* (tingkat produksi) dengan harga jual produk. Nilai (*value*) pada *input* adalah nilai perkalian dari kuantitas tiap *input* dengan biaya pemakaiannya dapat dilihat pada Tabel 5.

Tabel 6. Rekapitulasi Persentase Perubahan *Value* Metode MFPMM

No.	Variabel	kriteria	Produk	Value		% Perubahan Value	
				Periode 1	Periode 2	Periode 1	Periode 2
1	Output	Total Produksi	Gula Aren	Rp 19,712,532,870	Rp 18,689,995,556	39.38	28.15
			Gula Kelapa	Rp 30,338,486,234	Rp 47,696,587,209	60.62	71.85
		Total Output		Rp 50,051,019,104	Rp 66,386,582,765	100	100
2	Input	Material/BB	Gula Aren	Rp 11,535,152,111	Rp 11,296,528,090	69.19	68.29
			Tenaga Kerja	Rp 5,131,530,000	Rp 5,241,397,500	30.78	31.68
		Energi	Rp 5,449,789	Rp 4,334,783	0.03	0.03	
		Total Input Produksi Gula Aren		Rp 16,672,131,900	Rp 16,542,260,373	100	100
		Material/BB	Gula Kelapa	Rp 17,142,758,730	Rp 25,692,718,401	78.23	75.98
		Tenaga Kerja	Rp 4,765,600,000	Rp 8,116,132,500	21.75	24.00	
		Energi	Rp 4,458,939	Rp 5,679,081	0.02	0.02	
Total Input Produksi Gula Kelapa		Rp 21,912,817,669	Rp 33,814,529,982	100	100		

Tabel 7. Nilai WCR (*Weight Change Ratio*) Metode MFPMM

No	Produk	Variabel	Kriteria	Weight Change Ratio (WCR)		
				Change in Qty	Change in Price	Change in Value
1	Gula Aren	Output	Total produksi (kg)	0.9007	1.0526	0.9481
			Material/Bahan Baku (kg)	0.9793	1.0000	0.9793
		Input	Tenaga Kerja (org)	1.0008	1.0206	1.0214
			Energi (KWh)	1.0459	0.7605	0.7954
			Total Input	0.9860	1.0063	0.9922
2	Gula Kelapa	Output	Total produksi (kg)	1.4936	1.0526	1.5721
			Material/Bahan Baku (kg)	1.4988	1.0000	1.4988
		Input	Tenaga Kerja (org)	1.6688	1.0206	1.7031
			Energi (KWh)	1.6747	0.7605	1.2736
			Total Input	1.5358	1.0048	1.5431

Tabel 6 merupakan rekapitulasi perubahan *value* pada metode MFPMM. Perubahan *value* menunjukkan perubahan nilai dari periode 1 ke periode 2 setiap variabel *input* produksi.

b. Perhitungan WCR (*Weight Change Ratio*)

Nilai WCR adalah perubahan persentase tiap *input* maupun *output* dari periode dasar ke periode yang diukur. Nilai

WCR lebih dari 1 ( $WCR > 1$ ) menunjukkan bahwa terdapat peningkatan nilai dari kriteria yang dihitung, dan sebaliknya [5]. Nilai WCR metode MFPMM dapat dilihat pada Tabel 7.

c. Perhitungan CRR (*Cost to Revenue Ratio*)

CRR adalah nilai rasio biaya pemakaian setiap *input* yang digunakan terhadap *output* total produksi yang di-

dapatkan perusahaan. Nilai CRR yang bernilai semakin kecil atau mendekati 0, maka semakin baik. Nilai CRR kurang dari 1 ( $CRR < 1$ ) menunjukkan bahwa perusahaan berjalan pada kondisi menguntungkan, dan sebaliknya jika CRR diatas 1 ( $CRR > 1$ ) maka perusahaan berjalan dalam kondisi merugi [5]. Nilai CRR juga dapat menunjukkan variabel *input* yang berkontribusi paling besar terhadap pendapatan perusahaan. Nilai CPP metode MFPMM dapat dilihat pada Tabel 8.

Berdasarkan pada Tabel 8 diketahui bahwa *variabel input* material/bahan baku berada pada urutan 1. Pemakaian material menjadi faktor terbesar yang mempengaruhi *output*.

d. Perhitungan PR/IP (*Productivity Ratio/Index Productivity*)

Nilai PR/IP menunjukkan produktivitas *output* dan *input* apakah terjadi peningkatan atau penurunan dari periode sebelumnya dapat dilihat pada Tabel 9.

Tabel 8. Nilai CRR (*Cost to Revenue Ratio*) Metode MFPMM

No	Produk	Variabel	Kriteria	<i>Cost to Revenue Ratio (CRR)</i>		Rata-rata	Rangking
				Periode 1	Periode 2		
1	Gula Aren	<i>Input</i>	Material/Bahan Baku (kg)	0.5852	0.6044	0.5948	1
			Tenaga Kerja (org)	0.2603	0.2804	0.2704	2
			Energi (KWh)	0.0003	0.0002	0.0003	3
			Total CRR Gula Aren	0.8458	0.8851	-	-
2	Gula Kelapa	<i>Input</i>	Material/Bahan Baku (kg)	0.5650	0.5387	0.5519	1
			Tenaga Kerja (org)	0.1571	0.1702	0.1636	2
			Energi (KWh)	0.0001	0.0001	0.0001	3
			Total CRR Gula Kelapa	0.7223	0.7090	-	-

Tabel 9. Nilai *Index Productivity* Produksi Gula Aren dan Gula Kelapa Metode MFPMM

No	Produk	Kriteria	<i>Productivity Ratio</i>		IP	IP
			Periode 1	Periode 2	Periode 1	Periode 2
1	Gula Aren	Material/Bahan Baku (kg)	1.7089	1.6545	100	96.8155
		Tenaga Kerja (org)	3.8415	3.5658	100	92.8253
		Energi (KWh)	3617.1185	4311.6332	100	119.2008
		Total Input Gula Aren	1.1824	1.1298	100	95.5571
2	Gula Kelapa	Material/Bahan Baku (kg)	1.7698	1.8564	100	104.8972
		Tenaga Kerja (org)	6.3661	5.8768	100	92.3128
		Energi (KWh)	6803.9698	8398.6450	100	123.4374
		Total Input Gula Kelapa	1.3845	1.4105	100	101.8798

Tabel 10. Nilai WPI *Input* Produksi Gula Aren dan Gula Kelapa Metode MFPMM

No	Produk	Kriteria	Weight Performance Indexes			WPI Per 1*	% WPI Per 2 terhadap Per 1		
			Produktivitas	Pem. Harga	Profitabilitas		Produktivitas	Pem. Harga	Profitabilitas
1	Gula Aren	Material/Bahan Baku (kg)	0.9198	1.0526	0.9682	1.0000	-8.02	5.26	-3.18
		Tenaga Kerja (org)	0.9000	1.0314	0.9283	1.0000	-10.00	3.14	-7.17
		Energi (KWh)	0.8612	1.3841	1.1920	1.0000	-13.88	38.41	19.20
		Total <i>Input</i>	0.9136	1.0460	0.9556	1.0000	-8.64	4.60	-4.44
2	Gula Kelapa	Material/Bahan Baku (kg)	0.9965	1.0526	1.0490	1.0000	-0.35	5.26	4.90
		Tenaga Kerja (org)	0.8950	1.0314	0.9231	1.0000	-10.50	3.14	-7.69
		Energi (KWh)	0.8918	1.3841	1.2344	1.0000	-10.82	38.41	23.44
		Total <i>Input</i>	0.9725	1.0476	1.0188	1.0000	-2.75	4.76	1.88

Tabel 11. Nilai REP Tiap *Input* Produksi Gula Aren dan Gula Kelapa Metode MFPMM

No	Produk	Kriteria	Rupiah Effect on profit (REP)		
			REP Per. Produktivitas	REP Per. Pem. Harga	REP Per. Profitabilitas
1	Gula Aren	Material/Bahan Baku (kg)	-Rp 906,482,732	Rp 546,750,188	-Rp 359,732,544
		Tenaga Kerja (org)	-Rp 513,667,412	Rp 137,614,894	-Rp 376,052,517
		Energi (KWh)	-Rp 790,932	Rp 1,623,244	Rp 832,312
		Total REP Gula Aren	-Rp 1,420,941,076	Rp 685,988,327	-Rp 734,952,749
2	Gula Kelapa	Material/Bahan Baku (kg)	-Rp 89,135,086	Rp 1,347,368,701	Rp 1,258,233,616
		Tenaga Kerja (org)	-Rp 834,928,668	Rp 211,024,167	-Rp 623,904,501
		Energi (KWh)	-Rp 807,651	Rp 2,138,682	Rp 1,331,030
		Total REP Gula Kelapa	-Rp 924,871,405	Rp 1,560,531,550	Rp 635,660,145

e. Perhitungan nilai WPI (*Weight Performance Index*)

Nilai WPI adalah index dari perubahan rasio *output* terhadap *input*. WPI adalah

indikator untuk menentukan apakah terjadi penurunan atau peningkatan produktivitas yang berimbas terhadap keuntungan perusahaan [5]. Nilai WPI *input* produksi gula aren dan



gula kelapa metode MFPMM dapat dilihat pada Tabel 10.

f. Perhitungan REP (*Rupiah Effect on Profit*)

Nilai REP adalah refleksi nilai mata uang (Rp) dari WPI yang menunjukkan jumlah keuntungan atau kerugian perusahaan berdasarkan perubahan kuantitas, harga dan nilai produk. Nilai REP positif menunjukkan perusahaan mendapatkan penambahan keuntungan dan sebaliknya jika nilai REP negatif maka perusahaan mendapatkan pengurangan keuntungan. Perhitungan nilai REP pada produksi Gula Aren dan Gula Kelapa dapat dilihat pada Tabel 11.

Nilai REP memberikan gambaran kemungkinan nilai uang yang berpotensi menambah atau mengurangi keuntungan perusahaan. REP perubahan produktivitas menunjukkan nilai uang (rupiah) berupa keuntungan atau kerugian perusahaan yang diakibatkan perubahan kuantitas dari setiap *input* terhadap hasil *output*. REP pemulihan harga menunjukkan nilai uang (rupiah) setiap *variabel input* dan pengaruhnya terhadap keuntungan atau kerugian yang didapatkan

perusahaan. REP profitabilitas menunjukkan besar potensi keuntungan atau kerugian yang didapatkan perusahaan dari kegiatan produksinya [5].

g. Analisis produktivitas berdasarkan metode MFPMM

Berdasarkan analisis produktivitas dengan menggunakan metode MFPMM yaitu mempertimbangkan semua faktor produksi seperti material/bahan baku, tenaga kerja dan energi, diketahui faktor mana yang paling mempengaruhi produktivitas dan profitabilitas perusahaan. Hasil rekapitulasi tingkat produktivitas metode MFPMM dapat dilihat pada Tabel 12.

3. Analisis perbandingan model pengukuran produktivitas

Berdasarkan pengolahan yang telah dilakukan menggunakan model yang diterapkan perusahaan maupun dan MPFMM, didapatkan hasil bahwa produktivitas Gula Aren menurun sedangkan Gula Kelapa meningkat. Perbandingan hasil pengukuran tingkat produktivitas yang diperoleh di PT X dapat dilihat pada Tabel 13.

Tabel 12. Rekapitulasi Analisis Produktivitas Gula Aren dan Gula Kelapa Metode MFPMM

No.	Produk	Faktor / Variabel	Tingkat Produktivitas (%)	Tingkat Profitabilitas (Rp)
1	Gula Aren	Material/Bahan Baku (kg)	96.82	-Rp 359,732,544
		Tenaga Kerja (org)	92.83	-Rp 376,052,517
		Energi (KWh)	119.20	Rp 832,312
		Total	95.56	-Rp 734,952,749
2	Gula Kelapa	Material/Bahan Baku (kg)	104.90	Rp 1,258,233,616
		Tenaga Kerja (org)	92.31	-Rp 623,904,501
		Energi (KWh)	123.44	Rp 1,331,030
		Total	101.88	Rp 635,660,145

Tabel 13. Perbandingan Hasil Pengukuran Tingkat Produktivitas di PT X

Produk	Model Pengukuran	Periode		Hasil	Keterangan
		1	2		
Gula Aren	PTF (existing di PT X)	1.1599	1.1072	-4.54%	Produktivitas menurun
	MFPMM	100	95.5571	-4.44%	
Gula Kelapa	PTF (existing di PT X)	1.3674	1.3995	2.34%	Produktivitas meningkat
	MFPMM	100	101.9798	1.98%	

## KESIMPULAN DAN SARAN

Kesimpulan dari hasil penelitian berupa analisis produktivitas produksi Gula Aren dan Gula Kelapa di PT X didapatkan hasil bahwa perusahaan mendapatkan keuntungan dari produksi Gula Kelapa namun merugi pada produksi Gula Aren. Tingkat produktivitas Gula Aren menurun menjadi 95,5571% dengan potensi pengurangan keuntungan perusahaan sebesar Rp. 734.952.749, Tingkat produktivitas Gula Kelapa meningkat menjadi 101,9798% dengan potensi penambahan keuntungan perusahaan sebesar Rp. 635.660.145.

Penelitian mengenai analisis produktivitas produksi Gula Aren dan Gula Kelapa pada PT X menggunakan metode MFPMM memberikan hasil yang cukup optimal yaitu memberikan informasi berupa profitabilitas yang didapatkan perusahaan dan diketahui juga faktor mana saja yang mempengaruhi tingkat produktivitas perusahaan sehingga dapat ditentukan usulan perbaikan secara tepat sasaran. Penelitian lanjutan yang dapat dilakukan adalah membandingkan dengan metode lainnya yang menghasilkan

*output* berbeda. *Output* dari analisis produktivitas tetap harus disesuaikan dengan kebutuhan perencanaan perusahaan. Adapun *input* yang digunakan dalam analisis produktivitas harus disesuaikan dengan keadaan perusahaan.

## DAFTAR PUSTAKA

- [1] M. Sinungan, *Produktivitas Apa dan Bagaimana*. Jakarta: Bumi Aksara, 2011.
- [2] Kasmir, *Analisis Laporan Keuangan, cetakan ke-7*. Jakarta: PT Raja Grafindo Persada, 2014.
- [3] S. Efendi, D. Pratiknyo, dan E. Sugiono, *Managemen Operasional*. Jakarta: LPU-UNAS, 2019.
- [4] Blocher, E J, et al. 2007. *Management Biaya Penekanan Strategis*. Jakarta: Salemba empat.
- [5] R. Gustanto, Suharno dan M. Maksum, "Effects of Output-Input Values on Factory Productivity," *KnE Life Sciences*, vol. 3, hal. 183 – 188, 2016.
- [6] D. J. Sumanth, *Productivity Engineering and Management*. Singapore: McGraw-Hill Companies, 1984.

# NEW APPROACH OF SIGNED BINARY NUMBERS MULTIPLICATION AND ITS IMPLEMENTATION ON FPGA

<sup>1</sup>Sarifuddin Madenda, <sup>2</sup>Suryadi Harmanto

<sup>1,2</sup>Fakultas Teknologi Industri, Universitas Gunadarma  
Jl. Margonda Raya No. 100, Depok 16424, Jawa Barat  
<sup>1</sup>sarif@staff.gunadarma.ac.id, <sup>2</sup>misdie@staff.gunadarma.ac.id

## Abstract

*This paper proposes a new model of signed binary multiplication. This model is formulated mathematically and can handle four types of binary multipliers: signed positive numbers multiplied by signed positive numbers (SPN-by-SPN); signed positive numbers multiplied by signed negative numbers (SPN-by-SNN); signed negative numbers multiplied by signed positive numbers (SNN-by-SPN); and signed negative numbers multiplied by signed negative numbers (SNN-by-SNN). The proposed model has a low complexity algorithm, is easy to implement in software coding and integrated in a hardware FPGA (Field-Programmable Gate Array), and is more powerful compared to the modified Baugh-Wooley's model.*

**Keywords:** Signed binary numbers, signed multiplication, algorithm, multiplier circuit, FPGA

## INTRODUCTION

Currently, automation technology related to multimedia data analysis and processing based on artificial intelligence continues to be developed. The use of Convolutional Neural Network (CNN), one of the artificial intelligence methods, in the field of image processing is constantly expanding: biometrics recognition for personal identification [1], image recognition [2] [3], autonomous vehicles [4], medical diagnostics [5], and so on. In [6] proposes the implementation of CNN architecture in FPGA (Field-Programmable Gate Array) based on mapping and pipeline implementation methods on all its layers. A convolutional method using Sobel kernels in the convolutional layer of CNN and its hardware implementation on FPGA was proposed in [7]. Other implementation

methods of acceleration in the deep learning network on FPGA are discussed in [8].

The multiplication and division operations are a major part of data processing algorithms in AI: Machine learning, CNN, and Deep learning. In [9] proposes the Stochastic Computing Multiplier method that is applied to the implementation of Deep Convolutional Neural Networks, where the embedment of each perceptron in the NN layer performs the same number of mathematical operations (additions, products, and threshold functions) [10]. Xilinx [11] is also developing an implementation model for the FPGA Acceleration of Matrix Multiplication for artificial neural networks. The implementation of all AI algorithms into the SoC (FPGA and ASIC) is often constrained by the implementation of multiplication and division operations. The

constraint in question not only concerns the amount of space occupation on the integrated circuits (IC) that is related to production costs, but also the complexity of its implementation method. The multiplication model depends on the type of variable values used for the multiplicand and multiplier. The values of both variables can be unsigned and unsigned numbers or signed and unsigned numbers or unsigned and signed numbers or signed and signed numbers, respectively. Signed binary numbers mean that both positive and negative numbers may be represented. The most significant bit (MSB) indicates the sign, where bit sign “0” for signed positive number (SPN) and “1” for signed negative number (SNN). Unsigned binary numbers (UNS) refer to the numbers that only have a positive value without a sign bit.

Signed binary multiplication is one of the multiplications that is still a part of research topics. Particularly how to develop the implementation methods with low

complexity, low-cost hardware implementation, low-power consumption, and faster. Signed binary multiplication was introduced by Baugh-Wooley [12] and then modified into two's complement multiplication, also known as modified Baugh-Wooley multiplication [13]. Mathematically, the two multiplication models are given in equations (1) and (2). Figures 1 and 2 show their shift-and-add or matrix structure for  $n = 4$ . Noted that the two's complement multiplication (equation 2) has a limitation, it only applies to *SNN-by-SNN* multiplication. Equation (1) can process four types of multiplication: *SPN-by-SPN*, *SPN-by-SNN*, *SNN-by-SPN*, and *SNN-by-SNN*, but it needs 3 additional full adders (FA: gray color), so there is an increase in cost and time delay. This is especially impactful when used in algorithms that require tens or hundreds of multipliers such as in CNN. This paper is focused on modifying equation (1), so it has a low complexity algorithm and low-cost hardware implementation.

$$Y = -2^{2n-1} + (a_{n-1}b_{n-1} + \bar{a}_{n-1} + \bar{b}_{n-1})2^{2n-2} + (a_{n-1} + b_{n-1})2^{n-1} + \sum_{i=0}^{n-2} \bar{a}_i b_{n-1} 2^{i+n-1} + \sum_{j=0}^{n-2} a_{n-1} \bar{b}_j 2^{j+n-1} + \sum_{j=0}^{n-2} \sum_{i=0}^{n-2} a_i b_j 2^{i+j} \quad (1)$$

$$Y = 2^{2n-1} + a_{n-1}b_{n-1}2^{2n-2} + 2^n + \sum_{i=0}^{n-2} \bar{b}_{n-1} a_i 2^{i+n-1} + \sum_{j=0}^{n-2} \bar{b}_j a_{n-1} 2^{j+n-1} + \sum_{j=0}^{n-2} \sum_{i=0}^{n-2} a_i b_j 2^{i+j} \quad (2)$$

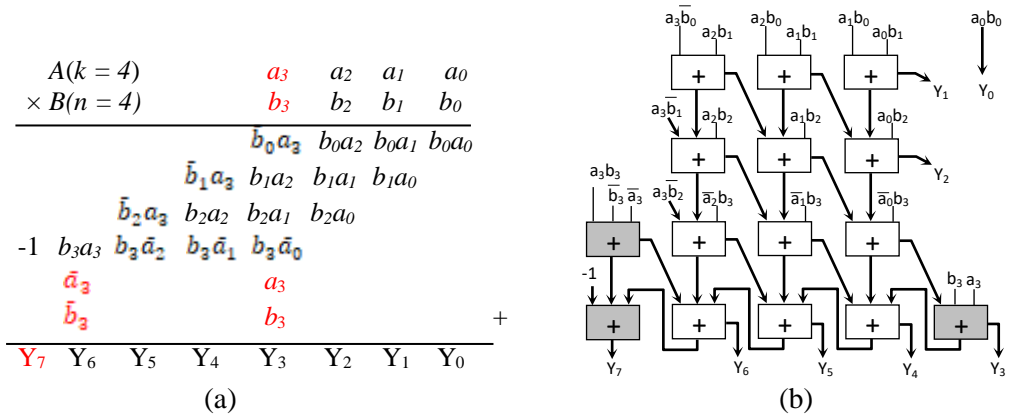


Figure 1. Shift-and-add structure of Baugh-Wooley's signed binary multiplication.

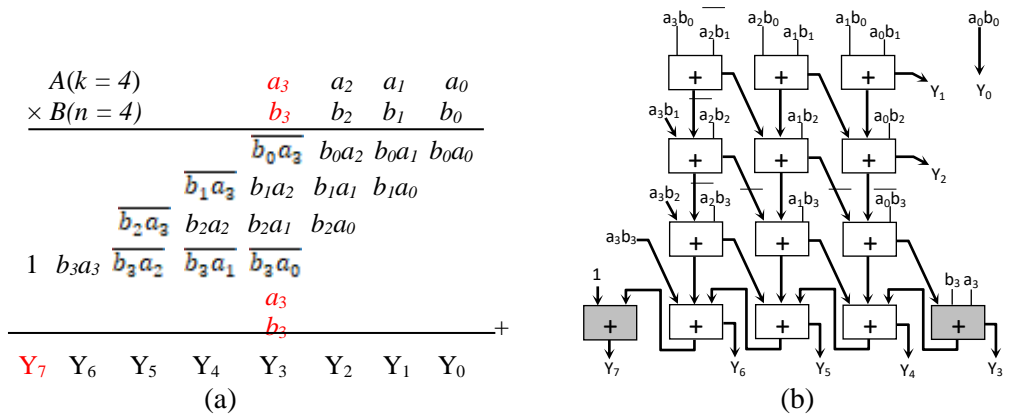


Figure 2. Modified Baugh-Wooley or two's complement multiplication.

**PROPOSED SIGNED MULTIPLICATION MODEL**

In this section, the new model of signed binary multiplication will be outlined. The proposed model is expressed mathematically and can be easily implemented into software algorithms and hardware on FPGA. This multiplication model will be proven by using several examples. Consider two unsigned binary numbers  $A = \{a_{k-1}, a_{k-2}, \dots, a_1, a_0\}$  and  $B = \{b_{n-1}, b_{n-2}, \dots, b_1, b_0\}$ , where  $k$  and  $n$  respectively are the number of bits. Their decimal values can be expressed as shown in Equation (1),  $a_i, b_j \in \{0,1\}$ ,  $i = \{0, 1, \dots, k-$

$1\}$  and  $j = \{0, 1, \dots, n-1\}$ ,  $a_i$  is the  $i^{th}$  magnitude bit of  $A$  and  $b_j$  is the  $j^{th}$  magnitude bit of  $B$ . Furthermore, if  $A$  and  $B$  are signed numbers, both can be represented as shown in Equation (2).  $A = \{\hat{a}_{k-1}, a_{k-2}, \dots, a_1, a_0\}$  and  $B = \{\hat{b}_{n-1}, b_{n-2}, \dots, b_1, b_0\}$ , where bits  $\hat{a}_{k-1}$  and  $\hat{b}_{n-1}$  are sign bits, or we call as borrow bits which mean  $\hat{a}_{k-1} = -1a_{k-1}$  and  $\hat{b}_{n-1} = -1b_{n-1}$ . If  $a_{k-1} = "0"$ ,  $A$  has a positive value and  $a_i$  represents the magnitude bit. Conversely, if  $a_{k-1} = "1"$  then  $A$  is negative and  $a_i$  indicates its two's complement bit. The same thing applies to  $B$ .

$$A = \sum_{i=0}^{k-1} a_i 2^i \quad \text{and} \quad B = \sum_{j=0}^{n-1} b_j 2^j \quad (1)$$

$$A = \hat{a}_{k-1} 2^{k-1} + \sum_{i=0}^{k-2} a_i 2^i \quad \text{and} \quad B = \hat{b}_{n-1} 2^{n-1} + \sum_{j=0}^{n-2} b_j 2^j \quad (2)$$

$$-A = -1 \cdot 2^k + \left( \sum_{i=0}^{k-1} \bar{a}_i 2^i \right) + 2^0 \quad \text{or} \quad -A = \hat{1} \cdot 2^k + \left( \sum_{i=0}^{k-1} \bar{a}_i 2^i \right) + 2^0 \quad (3)$$

$$A = \hat{a}_{k-1} 2^{k-1} + \sum_{i=0}^{k-2} a_i 2^i \quad \text{and} \quad -A = \hat{\bar{a}}_{k-1} 2^{k-1} + \sum_{i=0}^{k-2} \bar{a}_i 2^i + 2^0 \quad (4)$$

In the multiplication process, the conversion of unsigned binary numbers to signed numbers and from positive to a negative value, vice-versa, is necessary. For example, if  $A$  is an unsigned binary number that is always positive, the conversion of  $A$  to a signed negative number is done through the two's complement process as shown in equation (3). Because  $A$  does not have a sign bit, then one bit indicating a negative sign "-1" must be added to the bit position of  $2^n$  and then the one's complement process is done by inverting the  $a_i$  bits into  $\bar{a}_i$  and adding "1" to the LSB position of  $a_0$ . The sign bit "-1" can be replaced by a bit symbol " $\hat{1}$ ", which means a borrowed bit that has a negative value. Take an example, for unsigned  $A = 1010_2$  or its decimal numbers is  $A = 2^3 + 2^1 = 10_{10}$ . Referring to Equation (3), the two's complement of  $A$  is  $-A = \hat{1}0101_2 + 1_2 = \hat{1}0110_2$  or in decimal is  $-2^4 + 2^2 + 2^1 = -10_{10}$ .

Next, the conversion of positive to negative binary numbers and vice versa is given by equation (4). Example, for signed binary numbers  $A = \hat{1}111_2$  or in decimal  $A = -2^3 + 2^2 + 2^1 + 2^0 = -1_{10}$ , then its two's complement is  $-A = \hat{0}000_2 + 1_2 = \hat{0}001_2$  or  $-A = 2^0 = 1_{10}$ . Another example, if  $A = \hat{0}111_2$  or  $A = 2^2 + 2^1 + 2^0 = 7_{10}$ , then its two's complement is  $-A = \hat{1}000_2 + 1_2 = \hat{1}001_2$  or  $-A = -2^3 + 2^0 = -7_{10}$ . The mathematical representations of unsigned and signed binary numbers and their conversion will be used to explain our proposed multiplication model.

Based on equation (4), mathematically, the binary representation of signed multiplication of  $Y = B \times A$  is shown by equation (5) and then equation (6), where  $\hat{a}_{k-1}$  and  $\hat{b}_{n-1}$  are respectively the sign bits of  $A$  and  $B$ . Furthermore, referred to the equation (3), the second and third parts of this equation can be written in the form of two's complement as

presented in equations (7) and (8). By inserting both into equation (6), then equation (9) is obtained. The first part of this equation is  $(\widehat{a}_{k-1}\widehat{b}_{n-1}+\widehat{a}_{k-1}\overline{\widehat{b}_{n-1}})$  as the sign bit at position  $2^{n+k-2}$  of  $Y$ . It should be noted that the maximum value of the multiplication result is when the values of  $A = \widehat{1}.2^{k-1} = -2^{k-1}$  and  $B = \widehat{1}.2^{n-1} = -2^{k-1}$ , then the MSB of  $Y = \widehat{1}.2^{n-1} \times \widehat{1}.2^{k-1} = -2^{k+n-2}$  and  $Y$  has a positive value. This shows that the sign bit is

$$Y = \left( \widehat{a}_{k-1}2^{k-1} + \sum_{i=0}^{k-2} a_i 2^i \right) \left( \widehat{b}_{n-1}2^{n-1} + \sum_{j=0}^{n-2} b_j 2^j \right) \quad (5)$$

$$Y = \left( \widehat{b}_{n-1}2^{n-1} \right) \left( \widehat{a}_{k-1}2^{k-1} \right) + \sum_{j=0}^{n-2} b_j 2^j \left( \widehat{a}_{k-1}2^{k-1} \right) + \sum_{i=0}^{k-2} \left( \widehat{b}_{n-1}2^{n-1} \right) a_i 2^i + \sum_{j=0}^{n-2} \sum_{i=0}^{k-2} b_j a_i 2^{i+j} \quad (6)$$

$$\text{where } \sum_{j=0}^{n-2} b_j 2^j \left( \widehat{a}_{k-1}2^{k-1} \right) = \widehat{a}_{k-1}2^{k+n-2} + a_{k-1}2^{k-1} + \sum_{j=0}^{n-2} \overline{b_j} a_{k-1} 2^{j+k-1} \quad (7)$$

$$\text{and } \sum_{i=0}^{k-2} \left( \widehat{b}_{n-1}2^{n-1} \right) a_i 2^i = \widehat{b}_{n-1}2^{k+n-2} + b_{n-1}2^{n-1} + \sum_{i=0}^{k-2} b_{n-1} \overline{a_i} 2^{i+n-1} \quad (8)$$

then

$$Y = \left( \widehat{a}_{k-1}\widehat{b}_{n-1} + \widehat{a}_{k-1}\overline{\widehat{b}_{n-1}} \right) 2^{k+n-2} + a_{k-1}2^{k-1} + b_{n-1}2^{n-1} + \sum_{j=0}^{n-2} \overline{b_j} a_{k-1} 2^{j+k-1} + \sum_{i=0}^{k-2} b_{n-1} \overline{a_i} 2^{i+n-1} + \sum_{j=0}^{n-2} \sum_{i=0}^{k-2} b_j a_i 2^{i+j} \quad (9)$$

$$Y = \underbrace{\left( \widehat{a}_{k-1} \parallel \widehat{b}_{n-1} \right) 2^{k+n-1}}_{\text{Sign bit}} + \underbrace{\left( a_{k-1} \parallel b_{n-1} \right) 2^{k+n-2}}_{\text{MSB}} + \underbrace{\left( \sum_{j=0}^{n-2} a_{k-1} \overline{b_j} 2^{j+k-1} \right) + a_{k-1} 2^{k-1}}_{\text{Multiplication: } a_{k-1} \text{ and two's complement of } B} + \underbrace{\left( \sum_{i=0}^{k-2} \overline{a_i} b_{n-1} 2^{i+n-1} \right) + b_{n-1} 2^{n-1}}_{\text{Multiplication: } b_{n-1} \text{ and two's complement of } A} + \underbrace{\sum_{j=0}^{n-2} \sum_{i=0}^{k-2} a_i b_j 2^{i+j}}_{\text{Multiplication: } b_j a_i} \quad (10)$$

not located at bit position of  $2^{n+k-2}$ , but will be relocated at bit position of  $2^{n+k-1}$ . Thus by using the logical operation “OR” (symbolized by  $\parallel$ ),  $(\widehat{a}_{k-1}\widehat{b}_{n-1}+\widehat{a}_{k-1}\overline{\widehat{b}_{n-1}})2^{n+k-1}$  can be replaced by  $(\widehat{a}_{k-1} \parallel \widehat{b}_{n-1})2^{n+k-1} + (a_{k-1} \parallel b_{n-1})2^{n+k-2}$  as given in Equation (10). This proposed signed binary multiplication (SNN/SPN-by-SNN/SPN) simplifies Baugh-Wooley’s model.

The multiplication process of equation (10) can be implemented in the software mode using algorithm *Algo-1*. Both variables  $A$  ( $k$  bits) and  $B$  ( $n$  bits) are signed binary numbers, each having one sign bit and  $k-1$ , and  $n-1$  magnitude bits. The *shift-left* and *AND* logic operations are respectively symbolized by “ $\ll$ ” and “ $\&$ ”. Conforming to Equation (10), this algorithm consists of five parts. First, steps 1 – 3 are accumulator initialization and determining MSB value:  $S_y = (a_{k-1} \parallel b_{n-1})$ , and then save it to the accumulator at position  $Y(n-1)$ . The second and third parts in steps 4–6 and steps 7–9 are the multiplication processes of  $\widehat{a}_{k-1} 2^{k-1} \times$  (two's complement of  $B$ ) and  $\widehat{b}_{n-1} 2^{n-1} \times$  (two's

complement of  $A$ ), respectively. Each of these processes is carried out when the conditions are met, and their results are added to the accumulator  $Y$ . Fourth, steps 10–15 are the multiplication process of  $b_j 2^j \times A(k-2 : 0)$ , and the last part (step 16) sets up the sign bit value of the multiplication result  $(\widehat{a}_{k-1} \parallel \widehat{b}_{n-1}) 2^{N+K-1} + C_{out}$ . In this step, the logic process  $S_y \& \overline{Y(p-1)}$  is used. It means if carry-out ( $C_{out}$ ) at  $Y(p-1) = "1"$  and  $S_y = "1"$  (borrow), then the sign bit at  $Y(p-1)$  is set to be "0", otherwise if carry-out at  $Y(p-1) = "0"$  then the sign bit at  $Y(p-1) = S_y$ . Finally, the multiplication result consists of  $Y(p-1)$  as the sign bit and  $Y(p-2 : 0)$  as the magnitude bits.

---

**Algo-1. (SNN/SPN)-by-(SNN/SPN) Multiplication Algorithm:**

**(+B)×(+A); (+B)×(-A); (-B)×(+A) and (-B)×(-A)**

---

<p><b>Input:</b> signed <math>A(k</math> bits), signed <math>B(n</math> bits)</p> <p><b>Output:</b> signed <math>Y(p</math> bits)</p> <p><b>Process :</b></p> <p>1 <math>Y(p-1 : 0) \leftarrow 0;</math></p> <p>2 <math>S_y \leftarrow A(k-1) \parallel B(n-1);</math></p> <p>3 <math>Y(n-1) \leftarrow S_y;</math></p> <p>4 <b>if</b> <math>A(k-1) = 1</math></p> <p>5     <math>Y \leftarrow Y + \{Comp(B(n-2:0)) + A(k-1)\};</math></p> <p>6 <b>endif</b></p> <p>7 <b>if</b> <math>B(n-1) = 1</math></p> <p>8     <math>Y \leftarrow Y + \{Comp(A(k-2:0)) + B(n-1)\};</math></p> <p>9 <b>endif</b></p> <p>10 <b>for</b> <math>j = (n-2)</math> <b>downto</b> <math>0</math></p> <p>11     <math>Y \leftarrow Y \ll 1;</math></p> <p>12     <b>if</b> <math>B(j) = 1</math></p> <p>13         <math>Y \leftarrow Y + A(k-2 : 0);</math></p> <p>14     <b>endif</b></p> <p>15 <b>endfor</b> <math>j</math></p> <p>16 <math>Y(p-1) \leftarrow (S_y \&amp; \overline{Y(p-1)});</math></p> <p><b>endprocess</b></p>	<p>% unsigned number <math>A</math> and signed number <math>B</math></p> <p>% signed number <math>Y</math>: <math>p = (k + n)</math> bits;</p> <p>% Accumulator <math>Y</math> (Acc. <math>Y</math>) initialized to 0</p> <p>% Set <math>S_y = \widehat{a}_{k-1} \parallel \widehat{b}_{n-1} = a_{k-1} \parallel b_{n-1}</math></p> <p>% Set <math>S_y</math> as MSB to Acc. at position <math>Y(n-1)</math></p> <p>% If <math>A</math> has a negative value then</p> <p>% Add <math>\widehat{a}_{k-1} 2^{k-1} \times</math> two's complement of <math>B</math> without</p> <p>   sing bit to Acc. <math>Y</math></p> <p>% If <math>B</math> has a negative value then</p> <p>% Add <math>\widehat{b}_{n-1} 2^{n-1} \times</math> two's complement of <math>A</math> without</p> <p>   sing bit to Acc. <math>Y</math></p> <p>% repeat process of <math>b_j 2^j \times A(k-2 : 0)</math>, until <math>j</math></p> <p>= 0.</p> <p>% Shift-left one-bit the value of Acc. <math>Y</math></p> <p>% if <math>b_j=1</math>, then</p> <p>% add <math>A</math> without sing bit, to Acc. <math>Y</math></p> <p>% end repeat</p> <p>% Set sign bit at <math>Y(p-1) = (\widehat{a}_{k-1} \parallel \widehat{b}_{n-1}) + C_{out}</math></p>
---	--

---



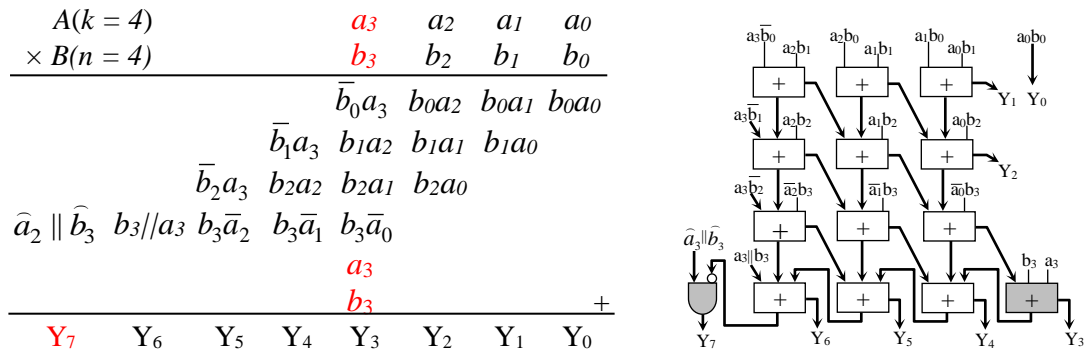


Figure 3. Shift-and-add and matrix structures of proposed signed binary multiplication.

The shift-and-add structure of our proposed model can be presented as given by an example in Figure 3, where  $A$  and  $B$  respectively have a sign bit  $a_3$  and  $b_3$ , seven integer bits  $a_2a_1a_0$  ( $k=4$ ) and  $b_2b_1b_0$  ( $n=4$ ). Figure 3-a, the bits  $\bar{b}_i a_3$  on the left diagonal-column and LSB  $a_3$  are part of the two's complement process of  $B$ . On the last line, the bits  $b_3 \bar{a}_i$  and LSB  $b_3$  are part of the two's complement process of  $A$ . Sign bit  $\bar{b}_3 \parallel \hat{a}_3$  and MSB  $b_3 \parallel a_3$  of the multiplication are successively located in the bit positions of  $2^7$  ( $k+n-1=7$ ) and  $2^6$  ( $k+n-2=6$ ). It should also be noted that if the sign bit  $\bar{b}_3 \parallel \hat{a}_3$  has a value of " $\hat{1}$ ", then this bit is negative or is a borrowed bit. Furthermore, if the sum of all multiplication bits has *carry-out* equals "1" at the bit position of  $2^7$ , then the sign bit  $Y_7 = \text{carry-out} + \text{borrow} = "1" + "\hat{1}" = "1" + "-1" = "0"$ . In Figure 3-b, the proposed multiplication model only requires an addition of one adder and one AND gate. This is more efficient than Baugh-Wooley's model.

## IMPLEMENTATION AND RESULTS

The proposed signed binary multiplication algorithm has been implemented using Scilab software and in FPGA hardware using Xilinx. The processes and results obtained from programming coding are illustrated in figures and tables. Based on the *shift-and-add* structure model (Figure 3), the proposed (*SNN/SPN*)-*by*-part of two's complement process of  $B$  and  $A$  successively. All bits of  $\bar{b}_j a_2 = "0"$  because  $a_2 = "0"$  and all bits of  $b_3 \bar{a}_i = "0"$  because  $b_3 = "0"$ . So, the multiplication result is  $Y = 010010.01001_2$ , which has a positive value because its sign bit  $Y_5 = "0"$  and its decimal value is  $Y = 18.28125_{10}$ .

The next example is the *SNN-by-SNN* multiplication, where  $A = -3.25_{10}$  or in binary two's complements  $A = 100.11_2$ , which has sign bits  $a_2 = "1"$  and  $B = -5.625_{10}$  or in binary two's complement  $B = 1010.011_2$ , with sign bit  $b_3 = "1"$ . The binary multiplication process of  $Y = 1010.011_2 \times 100.11_2$  is given in figure 4-b, where its two's complement parts have sign bit  $\bar{b}_3 \parallel \hat{a}_2 = "1"$ , MSB  $b_3 \parallel a_2 = "1"$ , LSB  $a_2 = "1"$  and  $b_3 = "1"$ , and then the multiplication bits of

$\bar{b}_j a_2 = "0"$  when  $b_j = "1"$  and  $\bar{b}_j a_2 = "1"$  when  $b_j = "0"$ , as well as for the multiplication bits of  $b_3 \bar{a}_i = "0"$  when  $a_i = "1"$  and  $b_3 \bar{a}_i = "1"$  when  $a_i = "0"$ . For this example, the sum of all bits has a carry-out "1" at the sign bit position of  $2^5$ , then the new sign bit equals carry-out + sign bit = "1" + ("1") = "0", so the multiplication result  $Y = 010010.01001_2$  has the sign positive and its decimal value is  $18.28125_{10}$ .

The third example is the *SNN-by-SPN* multiplication shown in figure 15-c, which is  $Y = 1010.011_2 \times 011.01_2$  or in decimal  $Y = (-5.625_{10}) \times (+3.25_{10})$ . The two's complement part of this multiplication has a sign bit  $\hat{b}_3 \parallel \hat{a}_2 = "1"$ , MSB  $b_3 \parallel a_2 = "1"$ , LSB  $a_2 = "0"$  and  $b_3 = "1"$ , all bits of  $\bar{b}_j a_2 = "0"$  because  $a_2 = "0"$  and the multiplication bits of  $b_3 \bar{a}_i = "0"$  when  $a_i = "1"$  and  $b_3 \bar{a}_i = "1"$  when  $a_i = "0"$ . The multiplication result  $Y = 101101.10111_2$  has the sign negative and its decimal value is  $-18.28125_{10}$ . The fourth example shown in figure 4-d is the *SPN-by-SNN* multiplication, which is  $Y = 0101.101_2 \times 100.11_2$  or in decimal,  $Y =$

$(+5.625_{10}) \times (-3.25_{10})$ . The two's complement part of this multiplication has a sign bit  $\hat{b}_3 \parallel \hat{a}_2 = "1"$ , MSB  $b_3 \parallel a_2 = "1"$ , LSB  $a_2 = "1"$  and  $b_3 = "0"$ , all bits of  $b_3 \bar{a}_i = "0"$  because  $b_3 = "0"$  and the multiplication bits of  $\bar{b}_j a_2 = "0"$  when  $b_j = "1"$  and  $\bar{b}_j a_2 = "1"$  when  $b_j = "0"$ . The multiplication result  $Y = 101101.10111_2$  has the sign negative and its decimal value is  $-18.28125_{10}$ . All the results of examples in figures 4-a to 4-p are summarized in Table 1.

The proposed multiplication model is implemented in FPGA using Xilinx software, ISE Design Suite 14.7. Two implementation approaches are carried out by employing LUTs (LUT6 and LUT5), fast carry logics: Carry4, MUXCY, and XORCY resources. The first approach uses a sequential shift-and-add process or serial-parallel multiplier based on Algo-1 and the second one is a parallel multiplier or array multiplier referring to matrix structure in Figure 4-b. Both are designed for 8 bits ( $n = k = 8$ ) signed binary integer numbers.

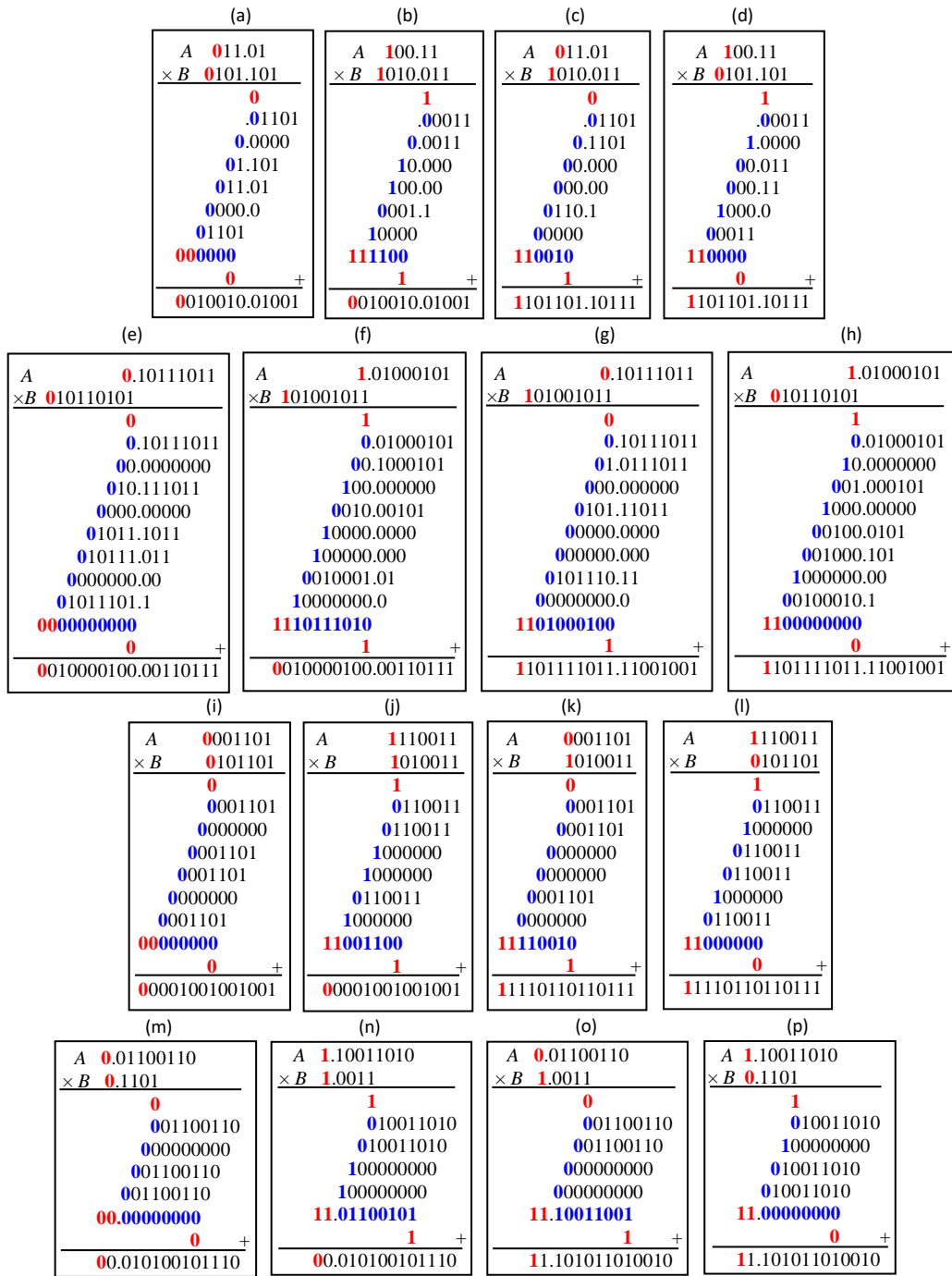


Figure 4. Examples of the proposed (SNN/SPN)-by-(SNN/SPN) multiplication.

Table 1. Results of sixteen examples in figure 4.

$Y = (+B) \times (+A)$	$Y = (-B) \times (-A)$	$Y = (-B) \times (+A)$	$Y = (+B) \times (-A)$
$0101.101_2 \times 011.01_2$ $= 010010.01001_2$ $5.625_{10} \times 3.25_{10}$ $= 18.28125_{10}$	$1010.011_2 \times 100.11_2$ $= 010010.01001_2$ $-5.625_{10} \times -3.25_{10}$ $= 18.28125_{10}$	$1010.011_2 \times 011.01_2$ $= 101101.10111_2$ $-5.625 \times 3.25_{10}$ $= -18.28125_{10}$	$0101.101_2 \times 100.11_2$ $= 101101.10111_2$ $5.625 \times -3.25_{10}$ $= -18.28125_{10}$
$010110101_2 \times 0.10111011_2$ $= 010000100.00110111_2$ $181_{10} \times 0.73046875_{10}$	$101001011_2 \times 1.01000101_2$ $= 010000100.00110111_2$ $-181_{10} \times -0.73046875_{10}$	$101001011_2 \times 0.10111011_2$ $= 101111011.11001001_2$ $-181_{10} \times 0.73046875_{10}$	$010110101_2 \times 1.01000101_2$ $= 101111011.11001001_2$ $181_{10} \times -0.73046875_{10}$

$= 132.21484375_{10}$	$= 132.21484375_{10}$	$= -132.21484375_{10}$	$= -132.21484375_{10}$
$0101101_2 \times 0001101_2$ $= 0001001001001_2$ $45_{10} \times 13_{10} = 585_{10}$	$1010011_2 \times 1110011_2$ $= 0001001001001_2$ $-45_{10} \times -13_{10} = 585_{10}$	$1010011_2 \times 0001101_2$ $= 1110110110111_2$ $-45_{10} \times 13_{10} = -585_{10}$	$0101101_2 \times 1110011_2$ $= 1110110110111_2$ $45_{10} \times -13_{10} = -585_{10}$
$0.1101_2 \times 0.01100110_2$ $= 0.010100101110_2$ $0.8125_{10} \times 0.3984375_{10}$ $= 0.32373046875_{10}$	$1.0011_2 \times 1.10011010_2$ $= 0.010100101110_2$ $-0.8125_{10} \times -0.3984375_{10}$ $= 0.32373046875_{10}$	$1.0011_2 \times 0.01100110_2$ $= 1.101011010010_2$ $-0.8125_{10} \times 0.3984375_{10}$ $= -0.32373046875_{10}$	$0.1101_2 \times 1.10011010_2$ $= 1.101011010010_2$ $0.8125_{10} \times -0.3984375_{10}$ $= -0.32373046875_{10}$

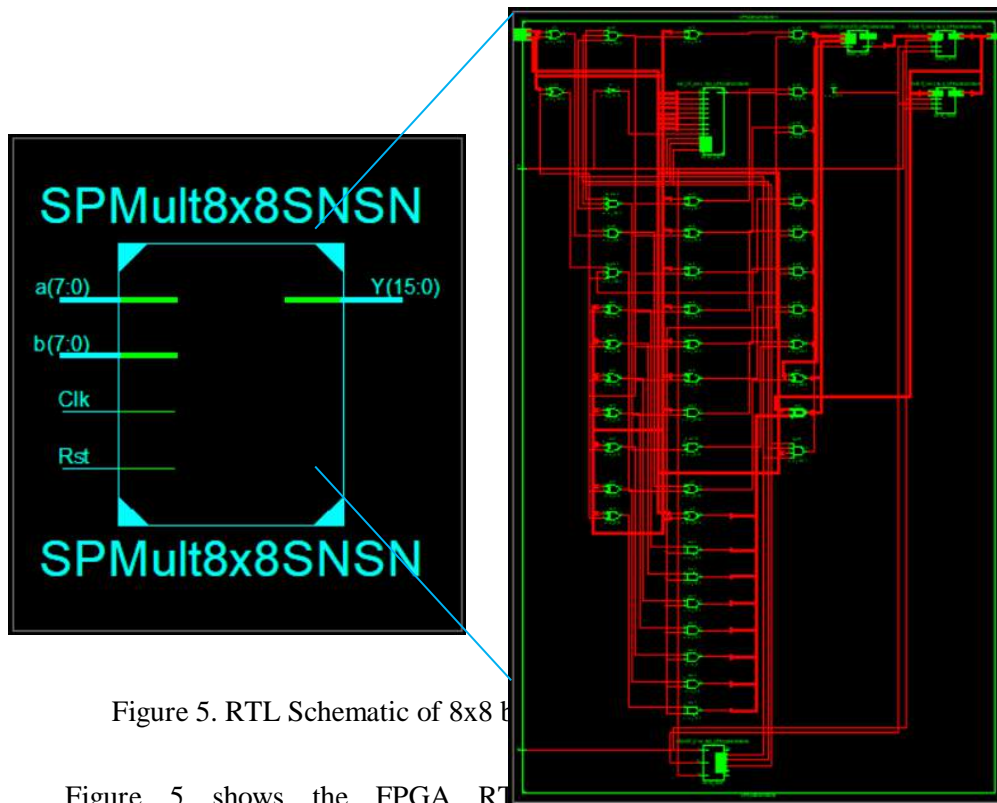


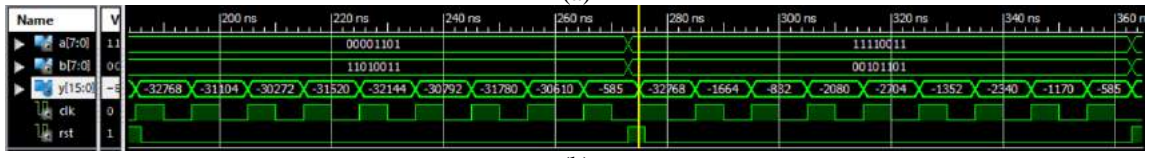
Figure 5. RTL Schematic of 8x8 bits signed binary serial-parallel multiplier.

Figure 5 shows the FPGA RTL schematic of 8x8 bits signed binary serial-parallel multiplier. The FPGA resources used are presented in table 2: eleven LUT's as a logical multiplication function; two Carry4s and sixteen flip-flops as accumulators (adders and shift registers); eight flip-flops as a multiplier shift register; and one counter of 3 bits to control the multiplication process. This multiplier has a maximum combinational path delay of 1.485 ns, can be operated at a maximum frequency of 350.262 MHz, and needs 8 cycles to finish the multiplication process. Its simulation results, carried out by

the third row of table 1, are shown in Figure 6. The multiplication process starts when the "Reset" signal changes from "1" to "0" and at the first rising edge clock. At each clock, the multiplication value continues to change, until the end process at the eighth clock and is followed by the "Reset" signal change from "0" to "1". The products of  $B \times A$  are given in decimal and located at the 8<sup>th</sup>, 16<sup>th</sup>, 24<sup>th</sup> and 32<sup>th</sup> clock respectively for:  $45_{10} \times 13_{10} = 585_{10}$ ,  $(-45_{10}) \times (-13_{10}) = 585_{10}$ ,  $(-45_{10}) \times 13_{10} = -585_{10}$ , and  $45_{10} \times (-13_{10}) = -585_{10}$ .



(a)



(b)

Figure 6. Simulation results of 8x8 bits signed binary serial-parallel multiplier.

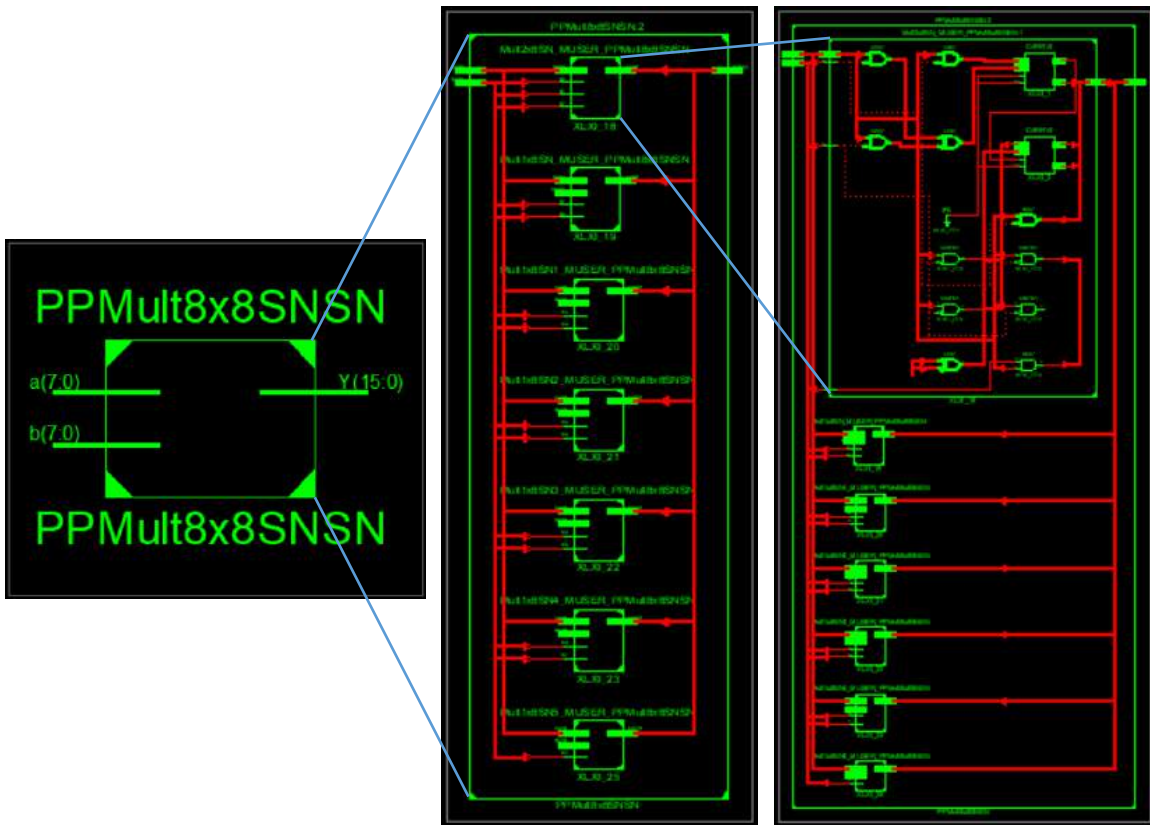


Figure 7. RTL Schematic of 8x8 bits signed binary parallel multiplier.

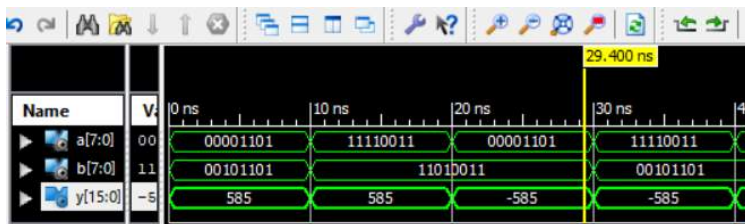


Figure 8. Simulation results of 8x8 bits signed binary parallel multiplier.

Table 2. FPGA resources occupied by 8x8 bits Serial-parallel and parallel multipliers.

Multiplier implementation approach	Carry logic. Carry4	Counter	Occupied FFs	Occupied LUTs	Occupied Slices	Delay (ns)	Clock cycle	Maximum Frequency (MHz)
Serial-parallel	2	1 (3 bits)	25	19	12	1.485	8	350.262
Parallel	14	-	-	57	15	11.233	1	87.719

Figure 7 shows the FPGA RTL schematic of 8x8 bits signed binary parallel multiplier. This multiplier occupies FPGA resources of 14 Carry4 and 57 LUTs in 15 slices and performs the multiplication process in one cycle with a time delay of 11.233 ns. Its simulation results are given in Figure 8 respectively for:  $45_{10} \times 13_{10} = 585_{10}$ ,  $(-45_{10}) \times (-13_{10}) = 585_{10}$ ,  $(-45_{10}) \times 13_{10} = -585_{10}$ , and  $45_{10} \times (-13_{10}) = -585_{10}$ .

## CONCLUSION AND FUTURE WORK

New signed binary multiplication has been proposed and formulated mathematically. This formula is easily implemented in software coding with a low complexity algorithm. Its hardware implementation in the FPGA is also quite easy, either in the form of the serial-parallel multiplier and parallel multiplier. Both are implemented by optimizing the use of LUT5 and LUT6 for multiplication logic functions, fast carry logic Carry4, MUXCY, and XORCY so that fewer FPGA resources are occupied.

Further research is being carried out on hardware implementation using several existing methods: Cascade multiplier,

Wallace tree multiplier, Vedic multiplier, and booth multiplier.

## REFERENCES

- [1] Y. Chen, S. Duffner, A. Stoian, J.-Y. Dufour, A. Baskurta, "Deep and low-level feature based attribute learning for person re-identification," *Image Vis. Comput.*, vol. 79, pp 25–34, 2018.
- [2] X. Cheng, J. Lu, J. Feng, B. Yuan, J. Zhou, "Scene recognition with objectness," *Pattern Recognition*, vol. 74, pp 474–487, 2018.
- [3] J. Zhang, K. Shao, X. Luo, "Small sample image recognition using improved Convolutional Neural Network," *J. Vis. Commun. Image Represent*, vol. 55, pp 640–647, 2018.
- [4] S.S. Sarikan, A.M. Ozbayoglu, O. Zilcia, "Automated vehicle classification with image processing and computational intelligence," *Procedia Comput. Sci.*, vol. 114, pp 515–522, 2017.
- [5] A. Qayyum, S.M. Anwar, M. Awais, M. Majid, "Medical image retrieval using deep convolutional neural network," *Neurocomputing*, vol. 266, pp 8–20, 2017.

- [6] L. Gong, C. Wang, X. Li, H. Chen, X. Zhou, "MALOC: A fully pipelined FPGA accelerator for convolutional neural networks with all layers mapped on chip," *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst*, vol. 37, no. 11, pp 2601–2612, 2018.
- [7] N.I. Chervyakov, P.A. Lyakhov, M.V. Valueva, "Increasing of Convolutional Neural Network performance using residue number system," *International Multi-Conference on Engineering, Computer and Information Sciences (SIBIRCON)*, pp. 135–140, 2017.
- [8] A. Shawahna, S.M. Sait, A. El-Maleh, "FPGA-based accelerators of deep learning networks for learning and classification: A review," *IEEE Access*, vol. 7, 7823–7859, 2019.
- [9] H. Sim and J. Lee, "A New Stochastic Computing Multiplier with Application to Deep Convolutional Neural Networks", *2017 54th ACM/EDAC/IEEE Design Automation Conference (DAC)*, Jun. 2017.
- [10] Juan Renteria-Cedano 1 , Jorge Rivera 2,\* , F. Sandoval-Ibarra 1 , Susana Ortega-Cisneros 1 and Raúl Loo-Yau 1, SoC Design Based on a FPGA for a Configurable Neural Network Trained by Means of an EKF, *Electronics* 2019, 8, 761; doi:10.3390/electronics8070761 www.mdpi.com/journal/electronics
- [11] FPGA Acceleration of Matrix Multiplication for Neural Networks (xilinx.com)\_\_\_XAPP1332 (v1.0) February 27, 2020 www.xilinx.com Application Note.
- [12] Baugh C.R., Wooley B.A., A Two's Complement Parallel Array Multiplication Algorithm. *IEEE Trans. Comput. C-22*, pp 1045–1047, 1973.
- [13] PramodiniMohanty, RashmiRanjan, "An Efficient Baugh Wooley Architecture for Both Signed & Unsigned Multiplication", *International Journal of Computer Science and Engineering Technology*, vol. 3, no. 4, April 2012.

# DESAIN DAN ANALISIS KEKUATAN TANGKI *FIRE WATER STORAGE TANK* TIPE *FIX CONE ROOF* KAPASITAS 1500 KL DENGAN PERHITUNGAN AKTUAL DAN SIMULASI *SOFTWARE*

<sup>1</sup>Aji Abdillah Kharisma, <sup>2</sup>Ahmad Fadel Givari, <sup>3</sup>Irvan Septyan Mulyana

<sup>1,2,3</sup> Universitas Gunadarma

<sup>1,2,3</sup> Fakultas Teknologi Industri Universitas Gunadarma

Jl. Margonda Raya No. 100, Depok 16424, Jawa Barat

<sup>1</sup>ajiabdillah@staff.gunadarma.ac.id, <sup>2</sup>ahmadgivari29@gmail.com,

<sup>3</sup>irvansepty@staff.gunadarma.ac.id

## Abstrak

*Storage tank adalah alat yang dibutuhkan dalam industri minyak bumi dan gas. Fungsi dari storage tank ialah untuk menyimpan fluida dalam jumlah yang besar. Tangki timbun harus memiliki dinding yang kuat untuk menahan suatu tekanan, maka tangki tersebut tidak mengalami kerusakan. Penelitian ini membahas tentang kekuatan desain fire water storage tank, dari kriteria faktor keamanan, von mises, dan displacement. Metode yang digunakan adalah metode perhitungan actual dan metode analysis simulasi (analysis simulation). Data input desain shell diberi internal pressure sebesar (1 atm) atau (0,101325 MPa), pada hasil simulasi solidworks didapatkan nilai dari von mises stress sebesar (150,49 MPa), safety factor (1,36), dan displacement (5,95 mm). Hasil metode perhitungan actual didapatkan nilai von mises sebesar (155,245 MPa), safety factor (1,32), dan displacement (4,274 mm). Berdasarkan hasil analisa desain dari storage tank dapat dinyatakan aman digunakan dikarenakan nilai von mises berada dibawah nilai yield strength (205 MPa), safety factor berada pada kisaran (1-10), serta displacement yang tidak terlalu signifikan.*

**Kata Kunci:** Analisa displacement, faktor keamanan, von mises, fire water storage tank

## Abstract

*Storage tank is a tool needed in the petroleum and gas industry. The function of the storage tank is to store large amounts of fluid. The storage tank must have a strong wall to withstand a pressure, so the tank is not damaged. This study discusses the strength of the fire water storage tank design, from the criteria for safety factors, von mises, and displacement. The method used is the actual calculation method and analysis simulation method (analysis simulation). The input data for the shell design is given an internal pressure of (1 atm) or (0.101325 MPa), in the solidworks simulation results, the value of von mises stress is (150.49 MPa), safety factor (1.36), and displacement (5). , 95 mm). The results of the actual calculation method obtained the von mises value of (155.245 MPa), safety factor (1.32), and displacement (4.274 mm). Based on the results of the design analysis of the storage tank, it can be declared safe to use because the von mises value is below the yield strength value (205 MPa), the safety factor is in the range (1-10), and the displacement is not too significant.*

**Keywords:** Analysis of displacement, safety factor, von mises, fire water storage tank

## PENDAHULUAN

*Storage Tank* atau tangki timbun merupakan peralatan teknik yang mengandung resiko dan bahaya yang tinggi sehingga dapat memicu terjadinya sebuah kecelakaan atau

ledakan. Kinerja dari tangki timbun ini tidak lepas dari perancangan yang dilakukan, dalam perancangannya tentu perlu dilakukan perhitungan yang detail dari kekuatan desain untuk memenuhi nilai tegangan (*stress*), *displacement*, dan sehingga akan memenuhi



keamanan desain (*safety factor*).

Penelitian terdahulu tentang analisa kekuatan tangki penyimpanan *Crude oil 38T kapasitas* 120.000 m<sup>3</sup> yaitu menguji kekuatan struktur tangki dengan standar API 650 untuk mendapatkan tegangan maksimal dari pembebanan menggunakan software berbasis metode elemen hingga [1]. Penelitian lain juga dilakukan mengenai desain tangki timbun *external floating roof* untuk fluida condensate dengan volume 75000 metrik ton. Perancangan *shell course* dan bagian lain menggunakan standar API 650 edisi 12 addendum 2018 dengan menggunakan metode *variable design point*. Verifikasi hasil perhitungan yang dihasilkan secara manual dilakukan dengan software elemen hingga [2].

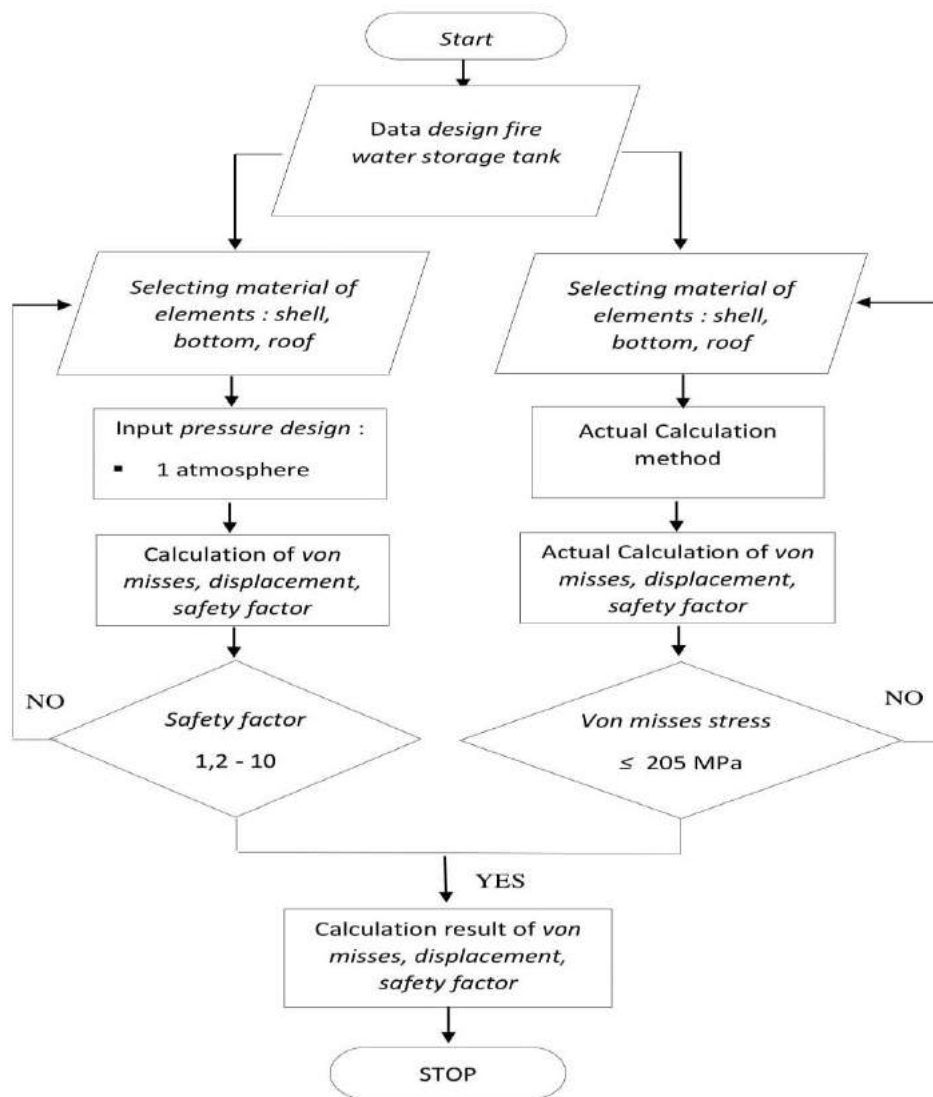
Perancangan *Vessel Reaktor Hidrotermal* melalui tahapan daftar tuntutan yaitu kapasitas 740 L. Pemilihan material untuk konstruksi *pressure vessel* yaitu pipa jenis A53B ukuran 30 in pada *shell*, SA516 grade 70 pada *head*. Analisis menggunakan metode *numeric* yaitu *FEA*[3]. Rancang tipe *treater pemanas vertical pemisah* yang mempertimbangkan tekanan internal, tekanan eksternal, tekanan kerja maksimum yang diijinkan (MAWP), standar yang digunakan (*ASME SEC VIII Div 1, ASCE 7*), pemodelan dan simulasi juga dilakukan dengan menggunakan perangkat lunak. perhitungan aktual beban angin dan beban gempa [4]. Desain untuk bejana tekan yang digunakan dalam

aplikasi *Coker Blow-down* berdasarkan *ASME Section VIII*, kode desain Divisi 1. Pemodelan dilakukan dengan menggunakan *software* dan analisis dilakukan menggunakan *ANSYS* (*software berbasis finite element analysis FEA*) [5].

Tujuan penelitian ini adalah membahas analisa kekuatan desain *fire water storage tank tipe fix cone roof* berkapasitas 1500 KL didasarkan pada output hasil tegangan (*von misses*), *displacement (strain)*, faktor keamanan (*safety factor*). Metode analisis simulasi menggunakan alat bantu berbasis *software* difungsikan untuk menganalisis secara signifikan pada setiap komponen elemen (*FEA*) pada tangki dan dikuatkan dengan metode perhitungan secara teoritis terhadap perancangan desain dengan *fire water storage tank*. Penggunaan *code* dan *standart* perancangan desain tangki menggunakan standar *API 650, ASTM dan ANSI* terhadap pemilihan jenis material, pada komponen *shell* (dinding), *bottom, fix roof cone, platform, dan support* pada tangki *fire water storage tank* material yang digunakan adalah *A-283 Gr. C*.

## METODE PENELITIAN

Metode penelitian dalam menganalisa kekuatan desain faktor keamanan dari *fire water storage tank tipe fix cone roof* kapasitas 1500 KL dilakukan dengan beberapa tahap seperti yang diperlihatkan pada Gambar 1.



Gambar 1. Research flowchart

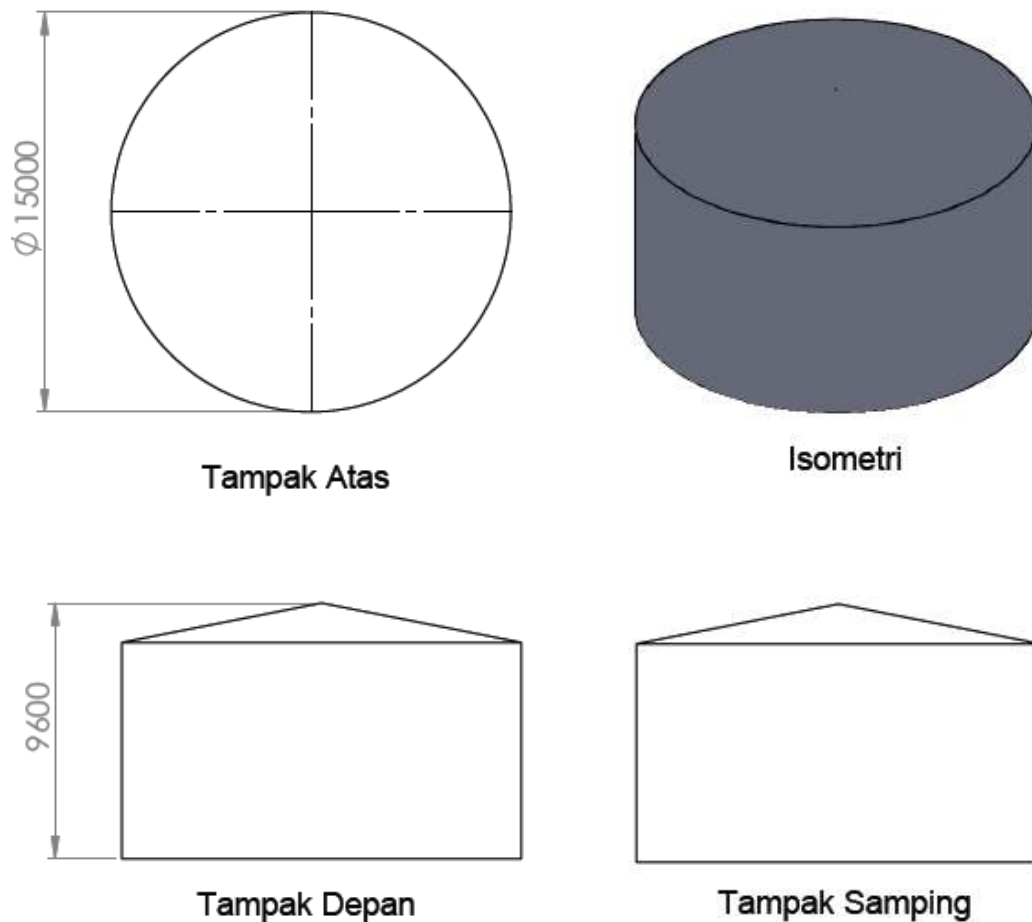
### Proses Analisis Simulasi *Fire Water Storage Tank*

Tahapan proses analisis simulasi dimulai dengan mencari dan mengumpulkan data melalui literatur-literatur terkait. Kemudian data spesifikasi didapatkan dari PT. Pertamina (Persero) dengan jenis tangki *fire water storage tank*, dan tipe kepala tangki adalah *fix cone roof*, serta material *shell* adalah ASTM A283 Gr. C, kemudian dilakukan simulasi menggunakan *software*. Dengan parameter *input parameter internal pressure* sebesar

0.101325 MPa (1 atm). Setelah itu dilakukan Perhitungan Secara Aktual untuk mendapatkan nilai dari *Von Mises*, *Displacement* dan *Safety Factor*.

### Data sheet dimensi/ukuran desain *fire water storage tank* kapasitas 1500 KL

Pada Gambar 2 ditunjukkan spesifikasi dimensi/ukuran *fire water storage tank mechanical data sheet* (T-06) untuk project pembangunan terminal LPG *pressurized* belawan PT. Pertamina (Persero).



Gambar 2. Construction detail of Tank dimension (fire water storage tank) skala 1:250 mm.  
[PT. Pertamina]

**Data Spesifikasi Fire Water Storage Tank**

Tabel 1. Data Construction Fire Water Storage Tank

Data Construction Fire Water Storage Tank	
<b>Type of Bottom</b>	Annular, slope to center 1:120
<b>Type of Roof</b>	Cone
<b>Type of Support</b>	Roof column
<b>Platform, ladder, pipe clip</b>	Straight Ladder
<b>Foundation</b>	Concrete

Tabel 2. Data spesifikasi desain Fire Water Storage

Data spesifikasi desain Fire Water Storage Tank	
Volume/Kapasitas	1500 m <sup>3</sup>
Tinggi Tangki	9600 mm
Diameter Tangki	1500 mm

Tabel 3. Mechanical properties material A283 Gr.C pada shell, bottom, fix roof cone fire water storage tank

<b>Mechanical properties material A283 Gr.C</b>	
<b>Yield strength</b>	205 MPa
<b>Tensile Strength</b>	380 MPa
<b>Modulus Young</b>	190000 MPa
<b>Poisson Ratio</b>	0,29

Tabel 4. Corrosion Allowance pada shell, bottom, fix roof cone

<b>Corrosion Allowance</b>	
<i>Shell</i>	2 mm
<i>Bottom</i>	2 mm
<i>Fix roof cone</i>	1 mm

Tabel 5. Wall thickness pada shell, bottom, fix roof cone

<b>Wall thickness minimum</b>	
<b>Shell minimum</b>	6 mm
<b>Bottom minimum</b>	8 mm
<b>Fix roof cone minimum</b>	6 mm

Tabel 6. Design pressure dan operating pressure pada Fire Water Storage Tank

<b>Design pressure dan operating pressure</b>	
<b>Design</b>	Full of Water
<b>Operating</b>	1 Atmosphere

Pada Tabel 1 diberikan data *construction fire water storage tank* setiap elemen komponen yang digunakan pada desain tangki kapasitas 1500 KL [6].

Data pada Tabel 2 merupakan data spesifikasi *fire water storage tank* yang terdiri dari volume atau kapasitas, tinggi dan diameter tangki [6].

Pada Tabel 3 dapat dilihat sifat mekanik material ASTM A283 Gr. C yang digunakan pada komponen tangki yaitu *shell* (dinding), *bottom*, dan *fix roof cone* [6].

Pada Tabel 4 diberikan nilai *corrosion Allowance* atau korosi yang diijinkan pada komponen *shell*, *bottom*, *fix roof cone fire water storage tank* [6].

Pada Tabel 5 ditunjukkan standar *wall thickness minimum* atau minimum

ketebalan yang diijinkan pada *shell*, *bottom*, *fix roof cone fire water storage tank* yang digunakan pada desain tangki *fire water storage tank* [6].

Pada Tabel 6 diberikan parameter yang digunakan untuk operasi analisis terdiri dari *design pressure* dan *operating pressure* pada *fire water storage tank* [6].

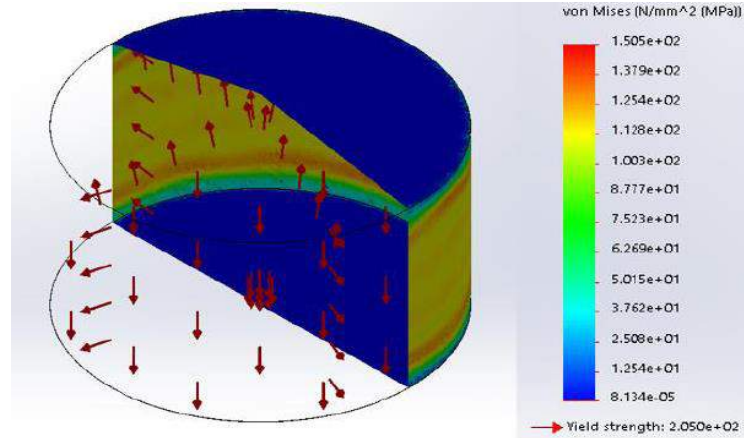
## HASIL DAN PEMBAHASAN

### Hasil metode *analysis simulasi software* untuk *Von misses, Displacement, Safety factor*

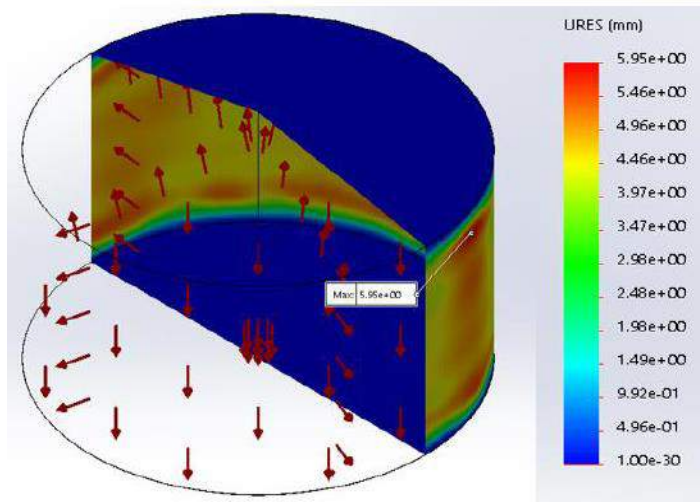
Berikut ini merupakan data yang didapatkan saat dilakukan analisis simulasi menggunakan *software* berupa gambaran proses dan hasil dari tahapan perancangan desain yang telah dilakukan.

Tabel 7. Hasil Metode Analisis Simulasi Menggunakan *Software*

Metode	Von Misses (MPa)	Displacement (mm)	Safety Factor (SF)
Analisis simulasi	150,5	5,95	1,36



Gambar 3. Hasil Analisis Simulasi *Von misses* [*Software*]



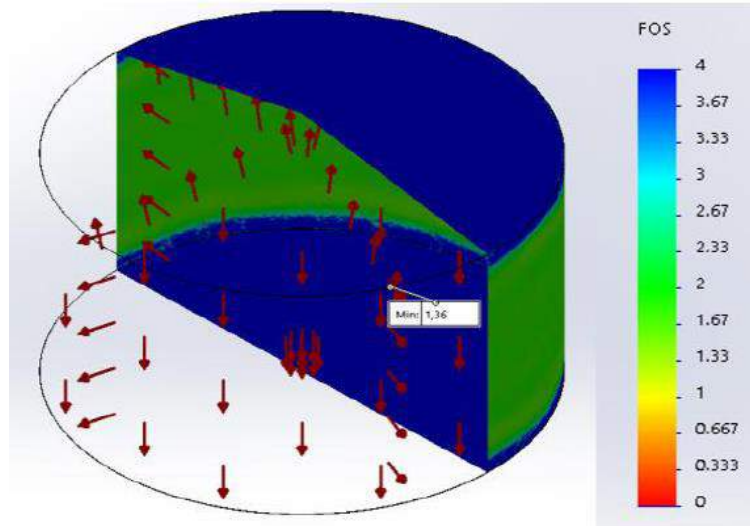
Gambar 4. Hasil Analisis Simulasi *Displacement* [*Software*]

Pada Tabel 7 disajikan hasil analisis simulasi dari *von misses*, *displacement*, dan *safety factor* menggunakan metode analisis simulasi software.

Pada Gambar 3 dapat dilihat hasil nilai maksimum *von misses stress* dengan operasi

*internal pressure* sebesar 1 atm atau 0,101325 MPa sebesar 150,5 MPa, nilai *von misses* ini masih dinyatakan desain aman berdasarkan dari ketentuan  $\text{von misses} \leq \text{yield strength}$ , dimana nilai dari *yield strength* dari

material A283 Gr.C sebesar 205 MPa ( 150,5 MPa ≤ 205 MPa).



Gambar 5. Hasil Analisis Simulasi *Safety factor* [Software] pada gambar 2

Gambar 4 merupakan hasil dari analisis simulasi software nilai *displacement* sebesar 5,95 mm. Dari hasil analisis maksimum *displacement* atau deformasi atau perubahan bentuk yang terjadi akibat pembebanan yang diberikan ke desain *fire water storage tank* terjadi terdapat pada bagian *shell* atau dinding dari *fire water storage tank* yaitu pada bagian bawah (*bottom*).

#### **Hasil metode perhitungan aktual untuk *Von misses, Displacement, Safety factor***

Hasil metode perhitungan secara aktual dapat dilakukan menggunakan persamaan

Gambar 5 merupakan hasil analisis simulasi *Safety factor* sebesar 1,36, berdasarkan hasil nilai safety factor dimana dapat diketahui bahwa desain aman untuk digunakan ataupun dilanjutkan ketahap proses manufakturnya, karena nilai safety factor berada diantara range nilai 1,2 – 10 yang menjadi kriteria keamanan desain untuk sebuah konstruksi komponen.

berdasarkan literature atau teori tentang keamanan desain perancangan bejan tekan atau *pressure vessel* [7] sebagai berikut ini:

#### ***Hoop stress, longitudinal stress, dan radial stress***

$$\sigma_h = \frac{P_i \cdot r}{t} \quad (1)$$

$$\sigma_h = \frac{0,101325 \text{ MPa} \times 7500 \text{ mm}}{6 \text{ mm}} = 126,656 \text{ MPa}$$

*Hoop stress* merupakan tegangan yang terjadi pada bagian internal dalam *fire water storage tank* yang berpengaruh terhadap ketebalan dinding tangki dan diameter tangki pada saat

beroperasi [7], berdasarkan perhitungan persamaan (1), nilai *hoop Stress* yang terjadi adalah **126,656 MPa**.

$$\sigma_l = \frac{P_i \cdot d}{4t} \quad (2)$$

$$\sigma_l = \frac{0,101325 \text{ MPa} \times 15000 \text{ mm}}{4 \times 6 \text{ mm}} = 63,328 \text{ MPa}$$

*Longitudinal stress* merupakan sama hal nya seperti tegangan *hoop stress* dimana tegangan tersebut terjadi dibagian internal tangki atau material silinder pada saat beroperasi [7],

berdasarkan perhitungan persamaan (2), nilai *longitudinal stress* yang terjadi adalah **63,328 MPa**.

$$\sigma_r = -P_i = -0,101325 \text{ MPa} \quad (3)$$

*Radial stress* merupakan sama hal nya seperti tegangan *hoop stress*, *longitudinal stress* dimana tegangan tersebut terjadi

dibagian internal tangki, berdasarkan perhitungan persamaan (3), nilai *radial stress* yang terjadi adalah **-0,101325 MPa**.

$$\sigma' = \sqrt{\frac{2}{2} [(\sigma_l - \sigma_h)^2 + (\sigma_r - \sigma_h)^2 + (\sigma_r - \sigma_l)^2]}^{1/2} \quad (4)$$

$$\sigma' = \sqrt{\frac{2}{2} [(63,328 - 126,656)^2 + (-0,101325 - 126,656)^2 + (-0,101325 - 63,328)^2]}^{1/2} =$$

$$155,245 \text{ MPa}$$

Jika *von misses*  $\leq$  *yield strength* material yang digunakan pada yaitu A283 Gr.C desain dinyatakan aman, pada kasus tersebut nilai dari *yield strength* sebesar 205

MPa, berdasarkan perhitungan persamaan (4) nilai *von misses* adalah sebesar **155,245 MPa** dimana hal ini berarti, desain dinyatakan aman untuk digunakan.

$$\Delta Rez = \left(\frac{R}{E}\right) \times (\sigma_t - v \cdot \sigma_l) \quad (5)$$

$$\Delta Rez = \left(\frac{7500}{190000}\right) \times (126,656 - 0,29 \times 63,328) = 4,274 \text{ mm}$$

Deformasi yang terjadi akibat kegagalan terhadap desain [8], berdasarkan pembebanan pada desain *fire water storage tank* menunjukkan bahwa tidak terjadi nya *displacement* sebesar **4,274 mm**.

$$N = \frac{\text{Significant strength of the material}}{\text{Working stress}} \quad (6)$$

$$N = \frac{205 \text{ MPa}}{155,245 \text{ MPa}} = 1,32$$

Nilai *safety factor* dihitung terhadap *significant strength of material* pada faktor yang meningkatkan terjadinya kegagalan, berdasarkan perhitungan persamaan (6), nilai *safety factor (SOF)* sebesar **1,32**. Nilai tersebut memenuhi standar keamanan desain dengan kriteria (1,2 – 10)

Tabel 8. Hasil Metode perhitungan aktual untuk von Misses, displacement, safety factor

Metode	Von Misses (MPa)	Displacement (mm)	Safety Factor (SF)
Perhitungan Aktual	155,245	4,274 mm	1,32

Tabel 8 merupakan hasil analisis simulasi dari *von misses, displacement, dan safety factor* menggunakan metode perhitungan aktual.

## SIMPULAN DAN SARAN

Berdasarkan hasil penelitian, dapat diperoleh kesimpulan bahwa, Hasil metode analisis pada *software* nilai *von misess* adalah  $(150,5) \leq \text{yield strength}$  (205 MPa) dengan

material *ASTM A283 Gr.C*. Desain *fire water storage tank* memenuhi standar keamanan nilai *safety factor* yaitu 1,36 karena standar keamanan yang diijinkan adalah 1,2-10 dan *displacement* tidak terlalu besar (5,95 mm). Sedangkan hasil metode perhitungan actual diperoleh hasil nilai *von misses* sebesar (155,245 MPa), nilai *displacement* sebesar (4,274 mm), *safety factor* sebesar (1,32), Berdasarkan hasil perhitungan tersebut desain *fire water storage tank* dinyatakan aman.



Berdasarkan hasil penelitian yang dilakukan, dapat diberikan beberapa saran untuk penelitian selanjutnya yaitu merancang desain *pressure vessel* menggunakan kaidah perancangan dari literature ataupun teori-teori yang telah ada. *Code standart* desain tangki menggunakan *API, ASME Boiler, ASTM, ANSI, ASCE, UBC* dan lain-lain. Alat bantu software khusus desain tangki menggunakan *PV Elite software, AME Tank, COMPRESS – Pressure Vessel Design Software, NEXTGEN software* sehingga hasil lebih akurat terhadap desain yang dirancang agar memenuhi standar keamanan desain tangka.

#### DAFTAR PUSTAKA

- [1] I. Akbar, H. Yudo, I. Mulyatno, “Analisis Kekuatan Tangki Penyimpanan Crude Oil 38T-104 Berbentuk Silinder dengan Tipe External Floating Roof pada PT Pertamina RU IV Cilacap,” *Jurnal Teknik Perkapalan*, vol.8, no. 1, Jan., hal. 96 – 104, 2020.
- [2] K. Nugraha, M. Ari, M. Amin, “Desain tangki timbun *external floating roof* kapasitas 75000 MT,” *Journal of Welding Technology*, vol. 2, no. 2, Des, hal 51 – 56, 2020.
- [3] R. Ramdhani, B. Triyono, P. Prawisudha, “Perancangan *Vessel* Reaktor *Hidroterma* /Skala Komunal untuk Mengolah Sampah Kota Tidak Daur Ulang,” *Prosiding The 11th Industrial Research Workshop and National Seminar*, 2020, hal. 271 – 276.
- [4] A. Mustaqim, M. Munir, E. Budiyanto, “Desain *Vertical Pressure Vessel Tipe Heater Treater* dengan *Skirt Support* pada Pengolahan Minyak dan Gas,” *Proceeding 3rd Conference of Piping Engineering and its Application*, 2020, hal. 126 – 130.
- [5] S. Parkhe, K. Annamalai, “*Design and Analysis of Pressure Vessel Subjected to Pressure-temperature Variation*,” *IJE International Journal of Engineering*, vol 31, No.1, Jan., hal. 58 – 64, 2018.
- [6] PT. Pertamina (Persero), “*Mechanical data sheet for fire water storage tank (T-06)*”, *BLW-DS-20-010-A4*, Maret, 2017.
- [7] Clemens, Kaminski, “*Stress Analysis & Pressure Vessels*”. London : University of Cambridge, 2005.
- [8] E.P. Popov, “*Mekanika teknik (Mechanic of Material), second edition*”. Berkeley : University of California, 1984.